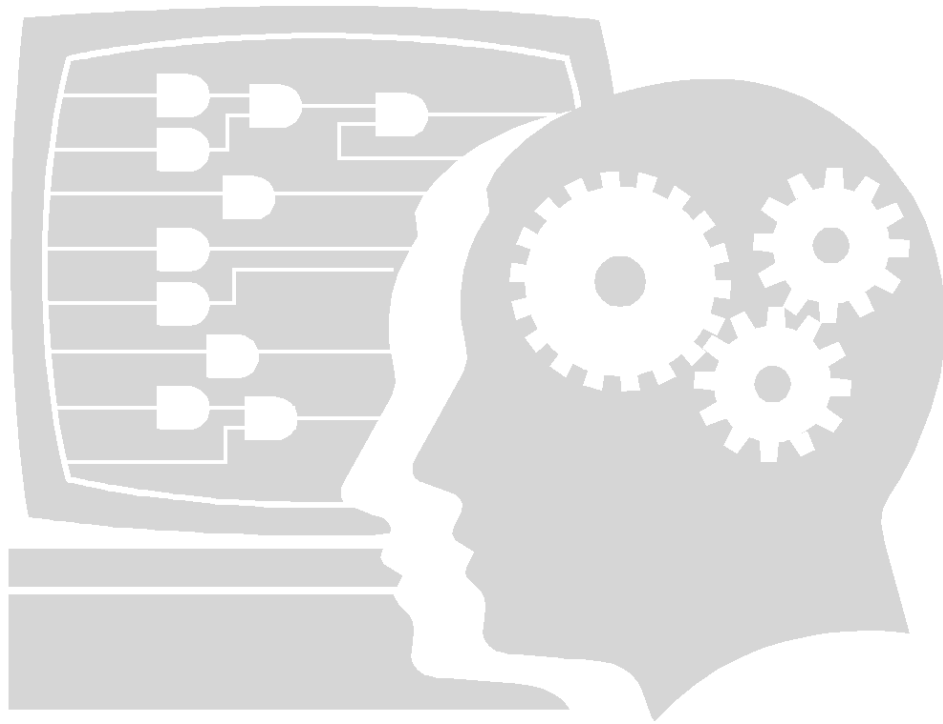


KONXIN KX_DN7

KX-CDS 系列

综合实验开发系统

实验讲义 第一版



修改日期：2016 年 4 月

杭州康芯电子有限公司

www.kx-soc.com

目 录

前言	1
第一章 KX-CDS 模块化创新设计综合实验开发系统	3
1.1 KX-CDS 系统的主要功能与结构特色	3
第二章 KX_DN 主系统平台	5
2.1 主系统介绍	5
2.2 多功能重配置结构模块介绍	6
2.2.1 实验电路信号资源符号图说明	6
2.2.2 实验电路结构图特点与适用范围简述	6
2.2.3 实验电路结构图	9
2.3 核心板介绍	11
2.3.1 大规模 FPGA 模块（核心板）	11
2.3.2 核心板扩展至康芯主系统引脚对照表	12
第三章 KX_CDS 系统主要扩展板介绍	14
3.1 可重构型 DDS 全数字函数信号发生器	14
3.2 单片机模块	15
3.3 键盘及 LED 显示模块	16
3.3.1 4X4 十六键键盘	16
3.3.2 4X4+8 综合键盘模块	16
3.3.3 交通灯显示模块	16
3.3.4 八位动态扫描模块	16
3.4 液晶显示模块	17
3.4.1 点阵式 128X64 液晶显示模块	17
3.4.2 4 行 X20 字字符型液晶显示模块	17
3.4.3 800X480 数字 TFT 彩屏模块	17
3.5 A/D 和 D/A 转换模块	18
3.5.1 通道 DAC 和 ADC 标准模块	18
3.5.2 高速 A/D 和双通道 DA 模块	18
3.5.3 高速 12 位 SPI 串行双 ADC	19
3.5.4 8 位+16 位高分辨率 ADC 等模块	19
3.5.5 SPI 串行接口高速 ADC+DAC 模块	19
3.6 存储器模块	20
3.6.1 双串行存储器/逻辑笔设计模块	20
3.6.2 SRAM/EPPROM 模块	20
附录 1 MIF 文件生成器使用方法	21
附录 2 STC89C 单片机编程下载方法	22

前 言

• 设备型号说明:

- ◆ 此讲义是针对友晶 DE 系列和康芯设计的核心板加装实验开发系统,可作为 EDA、组成原理、微机原理、单片机实验系统讲义,主要区分型号标准是,DE 系列分别是 DE0/DE0-CV/DE1-SOC/康芯的 3C55/3C40/3C10,其他扩展模块根据用户需求可任意配置。

• 每套设备基本配件

- ◆ DE 系列可根据友晶提供的光盘来查看,分别是电源、USB 下载线等;
- ◆ 康芯提供, •电源线一根, •RS232 串口一根, •十芯线数根(根据用户模块数量配置) •十四芯线一根,单根线数根。如康芯设计核心板,提供双功能 USB 接口下载器一台及 USB 线一根
- ◆ 模块板根据供货清单。
- ◆ 光盘内容说明: (无论哪个型号,光盘的文件夹名都是统一)
 - 友晶系列的 DE0 提供光盘, DE0-CV/DE1-SOC 根据板上提供的网址下载资料,或康芯提供
 - 基本软件: QUARTUSIIX,NIOSIIX,根据用户需求,提供 MATLABX,DSP BuilderX;
 - 光盘文件夹: “DE0/DE0-CV/DE1-SOC” 是友晶提供的资料, KX 是康芯提供的资料
 - “SYS_DESIN_3C55” 是康芯提供的例程, 1 为包括基础实验、2 为综合实验、3 为 8051、8088 核实验,大多数实验给出源码,并用图片 PPT 或 PDF 形式给出实验操作方法; SYS_DESIN_3C55;
 - “A51MCU_TO_FPGA” 是 FPGA 和单片机通信实验,但无论哪个型号都是给的 3C10 板和单片机的实验及说明,用户根据提供的实验说明及源码可自行修改。
 - “FPGA_单片机_编程” 包括 USB 下载器功能、FPGA 的编程方法及单片机编程方法等。
 - “MCU_Tech” 是单片机对串行 A/D,D/A,等开发板的实验,具体在“MCU 控制 ADC_DAC_等器件实验指导”提供说明。

● “VIVI_FILE”是在实验中用到的通信上位机及工具软件、液晶资料、开发板专用芯片手册、USB 驱动程序等。

● “重要 PDF 文件”包括实验系统说明、DDS 模块使用方法开发板用到的专用芯片使用手册等。

● “原理图”是此系统的模块的原理图，用户可作参考。

声 明

凡本公司提供的实验源程序及资料仅用作教学研究之用，不得用于商业开发，否则将追究法律责任。

版本历史

版本	修改日期	修改内容
第一版	2016-4	初稿
第二版	2019-8	增加 AD、DA 部分电路图

第一章 KX-CDS 创新设计综合实验开发系统

KX-CDS5 系统的组成部分包括：(1)主系统板；(2)基于大规模 FPGA 核心板；(3) Multi-task Reconfiguration（多功能重配置结构）实验控制系统；(4)包括液晶等各类显示模块；(5)可自由组合的模块化综合创新实验系统；(6)可二次开发型全数字 DDS 信号发生器；(7)适应教学实验与开发目标的不同微处理器 IP 核。

1.1 KX-CDS5 系统的主要功能与结构特色

一、学科课程适用面宽。具体课程包括（根据不同的核心板）：(1)面向现代数字系统的数字电路基础课；(2)EDA 技术（包括硬件语言）；(3)SOPC/SOC 技术；(4)现代计算机组成原理；(5)基于片上系统的单片机技术；(6)微机原理与接口技术（包括基于 FPGA 的 SOC 技术）；(7)ARM 开发与应用技术（基于嵌入 FPGA 的 ARM 硬核）；(8)现代 DSP 技术（基于 FPGA 中的各类 IP 核构建的 DSP 系统）。

配套教材主要有：1.科学出版社的《EDA 技术实用教程-Verilog 版》第 5 版；2.科学出版社的《EDA 技术实用教程-VHDL 版》第 5 版；3. 清华大学出版社的《EDA 技术与 VHDL》第 4 版；4.《EDA 技术与 Verilog HDL》第 2 版，其中详细介绍了硬件描述语言，QuartusII、DSP-Builder 应用开发等；5. 清华大学出版社的《单片机原理与应用技术》。介绍了 FPGA 与单片机接口技术及 8051 片上系统 SOC 应用；6. 科学出版社的《数字电子技术基础》。基于全新的数字电子技术教学理念；7.科学出版社的《现代计算机组成原理——结构，原理，设计与 SOC 实现》；8.清华大学出版社的《微机原理与接口技术——基本原理，实用技术和基于 FPGA 的 SOC 技术》；9.清华大学出版社的《SOPC 技术实用教程》，等。

二、实验开发内容完整全面。对于配置不同的 FPGA 核心板，可完成各课程从基础知识实验到综合性自主创新开发型实验，乃至科研创新项目。

三、多功能重配置型高效率实验控制电路。KX-CDS5 主系统板上含有 Multi-task Reconfiguration（多功能重配置结构）控制电路。该电路结构能仅通过一个键的控制，实现纯电子方式切换，选择十余种面向不同实验需要的针对 FPGA 目标芯片的硬件电路连接结构，并且毫不影响系统工作速度，大大提高了实验系统的连线灵活性，免除了传统情况下由于大量实验连接线导致的低效率，电路低可靠性，以及实验目标系统的低速性。

通常，传统的手工插线方式虽然灵活，由于插线长、多、乱，会严重影响系统速度、系统可靠性和电磁兼容性能，不适合以高速见长的 FPGA/SOPC 等电子系统的实验与设计。其实所采用的 Multi-task Reconfiguration 技术已被广泛应用，如虚拟仪器、通用编程器等。使系统的灵活性和高速特性两方面都得到了充分的满足。

四、模块化自主创新设计结构。KX-CDS5 主系统板上含有模块化实验系统，已成为高校目前十分流行的实践平台，其主要优势是：

◆ 由于系统的各实验功能模块可自由组合、增减，故不仅可实现的实验项目多，类型广，更重要的是很容易实现形式多样的创新设计；

◆ 由于各类实验模块功能集中，结构经典，接口灵活，对于任何一项具体实验设计都能给学生独立系统设计的体验，甚至可以脱离系统平台；

◆ 面对不同的专业特点，不同的实践要求和不同的教学对象，教师，甚至学生自己可以动手为此平台开发增加新的实验和创新设计模块；

◆ 由于系统上的各接口，以及插件模块的接口都是统一标准的，康芯提供所有接口电路，因此此系统可以通过增加相应的模块而随时升级。

五、允许 FPGA 中运行多种经典实用处理器 IP 核。KX-CDS5 系统允许在核心板的大规模 FPGA 中运行多种经典实用软硬处理器 IP 核，包括：（1）基于微指令的 8 位模型处理器、（2）基于状态机指令控制结构的 16 位实用处理器、（3）基于精简指令流水线结构的 16 位处理器、（4）32 位 OpenRISC1200 软核处理器系统、（5）8051 软核处理器(基于商业级全兼容 MCS-51 单片机 IP 核。利用此核，实验者可以实现传统单片机实验系统无法达到的 SOC(片上系统)设计。即将单片机 CPU、RAM、ROM 以及其它各类接口电路模块设计在同一块 FPGA 中。此类技术对于面向高新技术企业的就业十分必要)、（6）8088/8086 软核处理器、（7）32 位软核 NiosII Gen2 嵌入式系统处理器、（8）SOC FPGA 的嵌入式硬核 ARM 处理器（Cortex-A9 单核或双核）、（9）在 8088/8086 系统中承担接口的 IP，包括 8253 核、8237 核、8259 核、8255 核和 8250 核（这些 IP 核与 8088/8086CPU 核相结合就能在单片 FPGA 中构成一个完整的微机系统，从而学习到实用的 SOC 设计工程技术）。

这许多课程的实验和创新设计中，这些核具有不可或缺的地位，例如现代计算机组成原理的实验需要以上的软核（1）、（2）、（3）等；基于 SOC 技术的微机原理与接口技术的实验和综合性自主实验所需要的软核有（6）和（9）；面向单片机技术，单片机与 FPGA 接口以及单片机的 SOC 技术，则需要软核处理器（5）；基于嵌入于 FPGA 的 ARM 硬核的开发应用则需处理器（8）；SOPC 技术的学习和应用，包括机器人控制则涉及处理器（7）的使用；而在综合性要求更高的 EDA 技术实验和创新开发中，处理器（2）、（4）、（5）、（6）、（9）等都可能涉及。

六、可二次开发型 DDS 函数信号发生器。KX-CDS5 主系统板上包含一个完整的可重构(可二次开发)的全数字型 DDS 函数信号发生器。采用了数字频率直接合成技术、频率精度高、无量程限制、信号过渡时间短、波形精度高、全程扫描特性好、稳定可靠等等；而且还实现了许多独特的功能，如宽频率等精度测频率、测脉宽/占空比功能、信号采集显示、逻辑分析仪、宽频域李萨如图形信号输出、任意波编辑输出及其频谱显示等。该信号发生器基于 EDA/SOPC 设计技术及数控制振荡器 NCO、AM 纯数字发生器、数字锁相环等 IP 核。它解决了普通 DDS 信号发生器的传统缺陷（如灵活性差，功能有限、无自定义功能等），特别适合于 DDS 信号发生器二次开发、电子设计竞赛、通信系统开发等场合中应用。同时也为学习者自主创新能力的培养和施展提供了优良的平台

与传统方式不同，此系统没有使用 DDS 专用 IC 及模拟乘法器，而是利用 IP 核，数字乘法器、NCO 核、AltPLL 锁相环等，以纯数字的方式构建在一片 FPGA 内，因此具有可二次开发性。即可在此 FPGA 中从新构建系统或增加新的硬件功能。当用户需要用到某种特定功能及信号输出时，即可选择使 DDS 系统进入用户自定义/设计功能项，此时该系统将交出所有控制权、系统构建权。此时将由用户自行设计所需要的功能模块。此系统和配置的设计软件工具（QuartusII/MATLAB/DSP Builder）将为用户提供方便的设计平台。

康芯的 KX-DN 型模块化综合创新实验开发系统的课程/实验设计类型有以下 9 类：

本开发系统支持的课程/实验设计类型主要包括以下 9 类：

☆ EDA 技术系列实验。配套教材 1、4、6，含 60 多个经典和创新实验与设计项目，多数含源程序演示示例。

☆ 单片机技术系列实验。配套教材。可完成许多传统和现代的单片机实验，特别包括与 FPGA 接口的实用系统设计实验项目。

☆ SOPC 技术系列实验。配套教 8。含基于 CycloneIII 等 FPGA 的 SOPC 实验，包括源程序演示示例。

☆ 基于单片机 IP 核的 SOC 片上系统设计系列实验。配套教材 3。基于 FPGA 硬件平台的 8051 核系统设计，

含源程序演示示例。

- ☆ 数字电路系列实验。配套教材 5。含数十相关实验，特别是基于 QuartusII 原理图和 FPGA 的数字电路实验。
- ☆ 基于 DSP Builder 和 MATLAB 的 DSP 系列实验。配套教材 6。数十个基于 DSP Builder 和 MATLAB 的硬件 DSP 系列实验设计项目。
- ☆ 计算机组成与设计系列实验。配套教材 1。基于配备的大规模 FPGA 和各类接口设备，成为计算机组成与设计创新实验的最好选择。
- ☆ 微机原理与接口技术系列实验（10 月份出版）配套教材 7。基于大规模 FPGA 和各类接口设备，在一单片中能完成微机接口所有创新实验。
- ☆ 电子设计竞赛系列项目开发训练。作为电子设计训练平台，以其极大的灵活性和实用性，比传统固定结构的实验系统更能胜任此项任务。

注：图 2-1A 的 KX_DN 平台上可以插图 1-8 所示所有模块，构成不同配置的创新开发系统，如 KX_DN5 等。KX_DN 平台每一模块接口基本相同，因此多数模块可以安插在系统上的任一插座上，十分灵活。插座上也可插教师或学生自主开发的升级模块或特定设计项目的模块。由教材[1][2]给出的大量的实验和设计项目涉及许多不同类型的扩展模块，主系统平台上有许多标准接口，以其为核心，对于不同的实验设计项目，可接插上对应的接口模块，如 GPS 模块、彩色液晶模块、USB 模块、各类 ADC/DAC 模块等。这些模块可以是现成的，也可以根据主系统平台的标准接口和创新要求由读者（教师或学生）自行开发。

第二章 KX-CDS 主系统平台

本章主要介绍 KX-CDS 系列主系统平台的结构和性能，更形象的说明可以参考以下内容及光盘“KX-CDS 系统及模块说明”。

为了使实验系统能更好地实现实验者自主创新能力和工程实践能力的提高，KX-CDS 系统采用多任务重配置和模块化相结合结构，以下对主系统做说明，说明采用标注形式表达。

2.1 主系统介绍（主板为：KX-EDA5）

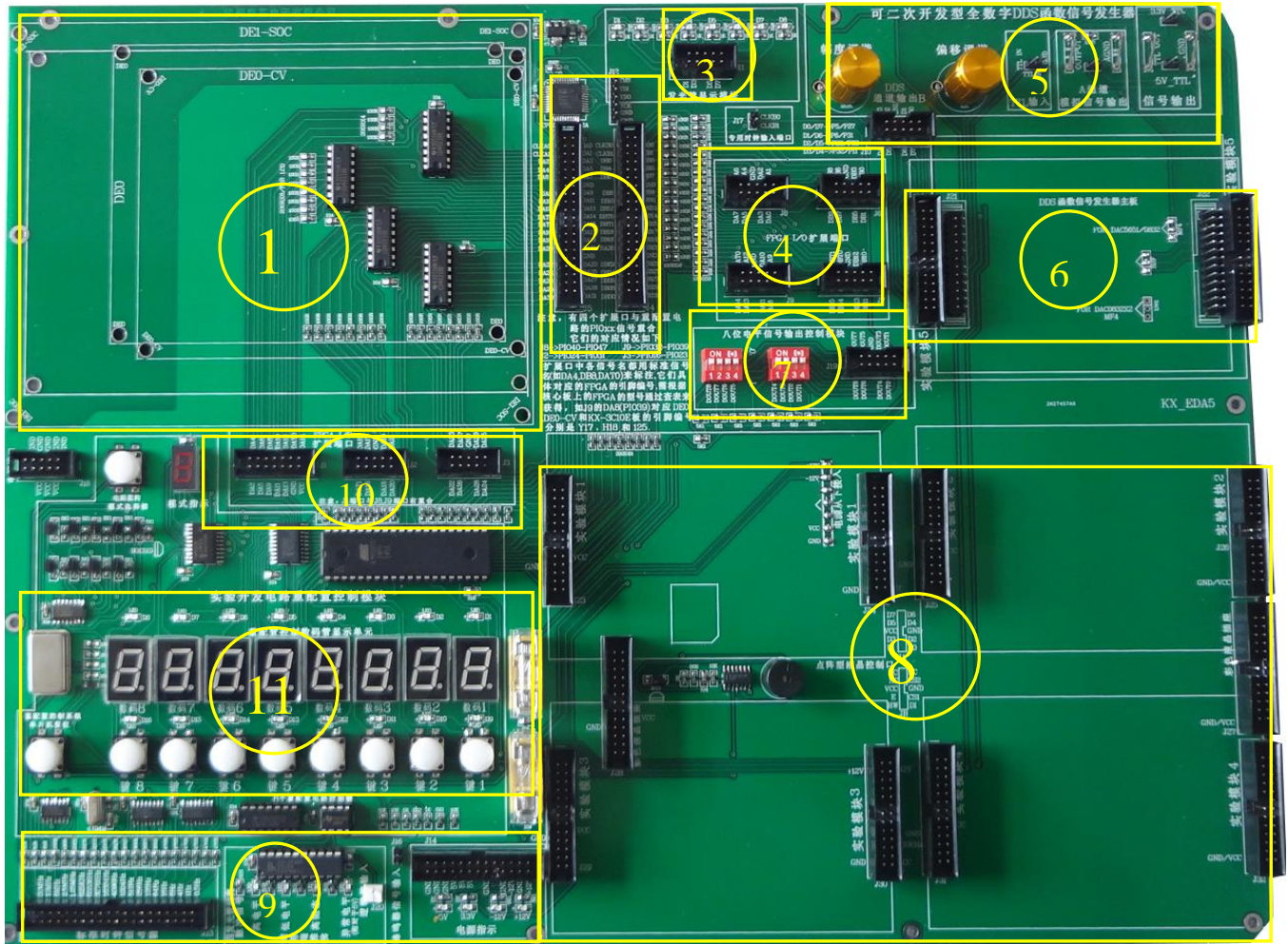


图 2-1 KX-CDS 主系统平台

标注“1”区域是加装核心板，DE 系列和 KX 系列，

标注“2”两组 40 芯座，把核心板预留的 2 个 40 芯座通过排线向主系统引出；

标注“3”是上方发光管控制端口，可更具标识和每个发光管一一对应。

标注“4”是四组 10 芯座，FPGA 的 IO 口引脚，中间上端是 GND 脚，可用十芯线连接扩展板，根据插座边标号查表获得 FPGA 的引脚号，“J8、J9”和多任务重配置引脚冲突，不可同时使用，“J6、J7”没冲突；

标注“5”是用于调谐输出模拟信号和偏移电平的幅度；DDS 函数信号发生器的 TTL 信号输入口；DDS 函数信号发生器模拟信号输出通道的 A 通道（此信号发生器可以输出双通道模拟信号），如正弦波信号等，幅度最大 $\pm 10V$ ，可通过电位器调谐，TTL 信号输出口。

标注“6”、J21/J22 此座用作专门插 DDS 模块，具体 DDS 功能请参考以下“DDS 模块说明”，J35/J36 是接插另外一个 DDS 模块，或插扩展板。

标注“7”十芯座是可外引 8 个 IO 口，可通过查表获得引脚号，左边是控制 IO 口的拨码开关，拨上为‘0’，下为‘1’。

标注“8”分别扩展板座，每个含两个 26 针。它们的尺寸大小，结构布置和信号安排大致相同。所以下

所述的多数实验功能模块可以随意插在这四组插座中任何一个位置上，这为实验系统的灵活构建奠定了基础。

其中 J28/J27 是插彩色液晶专用座，左右插座分别标“彩色液晶插座”，每组座上提供含有地 GND 和工作电源 VCC (+5V)；“JP29/JP30(实验模块 3) 提供 +/-12V 电压的设置，适合插带有 DA 运放实验的板。

标注“9”左边是 0.5HZ 到 50MHZ 时钟源，用户可通过单引线引出，或链接“J17”FPGA 专用时钟脚；中间是逻辑笔功能模块，用户可以通过‘20’测试逻辑功能；左边模块是系统提供的电压源，边标有电压值，用户可根据自己需要外引。

标注“10”IO 口外引插座，和标注“4”功能相似，FPGA 的 IO 口的引脚在边上已经标出，根据插座边标号查表获得 FPGA 的引脚号，中间上端是 GND 脚，可利用十芯线连接扩展板，其中两组十芯座“J2、J3”和多任务重配置有关引脚冲突，十四芯座是用来连接彩色液晶屏的口用，不仅和多任务重配置 IO 口有冲突，还和标注“4”上的“J8、J9”兼用，所以使用此口时，“J8、J7”和多任务重配置功能相关 IO 口不能同时使用。

其他端口功能介绍：板的下端有两个针端口“J16”是蜂鸣器的输入口，如果使用蜂鸣器时，可利用单线相互连接；“J18”是电源 VCC 和 GND 十芯座，可用十芯线连接康芯设计的核心板对应的端口，以达到给核心板供电的目的，当然友晶 DE 系列板不需要；“J17”是专用时钟源，边上标出引脚名“CLKB0/CLKB1”可通过查表获得引脚号。

标注“11”“多任务重配置”功能区域：

1、“选择键及模式数码显示”，按动“模式选择”按键，数码显示“1”-“B”，即该电路结构能仅通过一个键完成纯电子切换（有的产品只能通过许多机械开关手动切换）的方式，Multi-task Reconfiguration 电路结构（多功能重配置结构）选择十余种不同的实验系统硬件电路连接结构，大大提高了实验系统的连线灵活性，但又不影响系统的工作速度（手工插线方式虽然灵活，但会影响系统速度和电磁兼容性能，不适合高速 FPGA/SOPC 等电子系统实验设计）。该系统的实验电路结构是可控的，即可通过控制接口键，使之改变连接方式以适应不同的实验需要。因而，从物理结构上看，实验板的电路结构是固定的，但其内部的信息流在主控器的控制下，电路结构将发生变化重配置。这种“多任务重配置”设计方案的目的是有 3 个：1、适应更多的实验与开发项目；2、适应更多的 PLD 公司的器件；3、适应更多的不同封装的 FPGA 和 CPLD 器件。关于电路模式选择用法详见第二节。

模式切换使用举例：若模式键选中了“实验电路结构图 NO.1”，这时的 GW48 系统板所具有的接口方式变为：FPGA/CPLD 端口 PI/031~28（即 PI/031、PI/030、PI/029、PI/028）、PI/027~24、PI/023~20 和 PI/019~16，共 4 组 4 位二进制 I/O 端口分别通过一个全译码型 7 段译码器输向系统板的 7 段数码管。这样，如果有数据从上述任一组四位输出，就能在数码管上显示出相应的数值，其数值对应范围为：

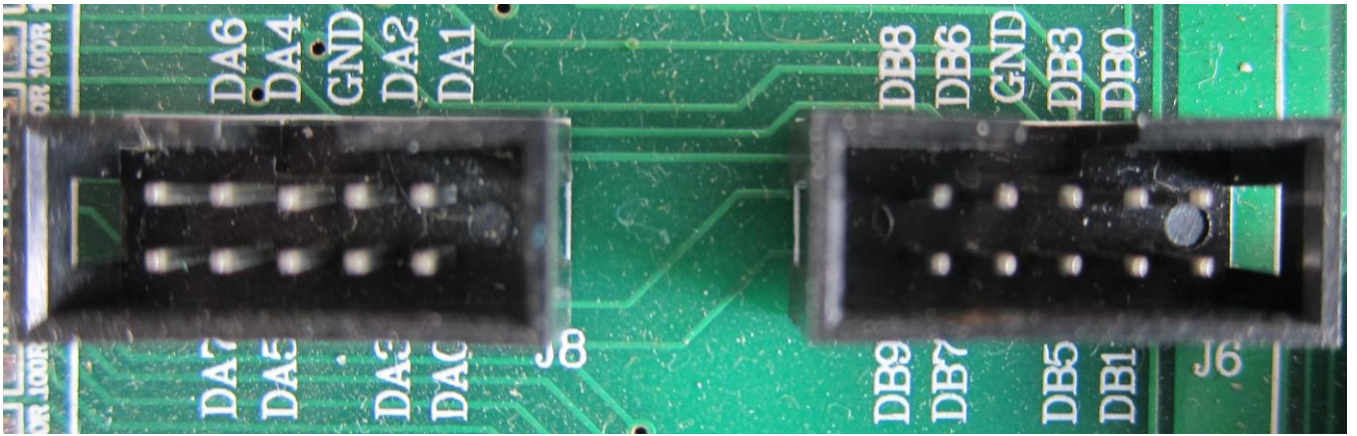
FPGA/CPLD 输出	0000	0001	0010	...	1100	1101	1110	1111
数码管显示	0	1	2	...	C	D	E	F

端口 I/032~39 分别与 8 个发光二极管 D8~D1 相连，可作输出显示，高电平亮。还可分别通过键 8 和键 7 发出高低电平输出信号进入端口 I/049 和 48；键控输出的高低电平由键前方的发光二极管 D16 和 D15 显示，高电平输出为亮。此外，可通过按动键 4 至键 1，分别向 FPGA/CPLD 的 PI00~PI015 输入 4 位 16 进制码。每按一次键将递增 1，其序列为 1, 2, ...9, A, ...F。注意，对于不同的目标芯片，其引脚的 I/O 标号数一般是同 GW48 系统接口电路的“PI0”标号是一致的（这就是引脚标准化），但具体引脚号是不同的，而在逻辑设计中引脚的锁定数必须是该芯片的具体的引脚号。具体对应情况需要参考第四节的引脚对照表。

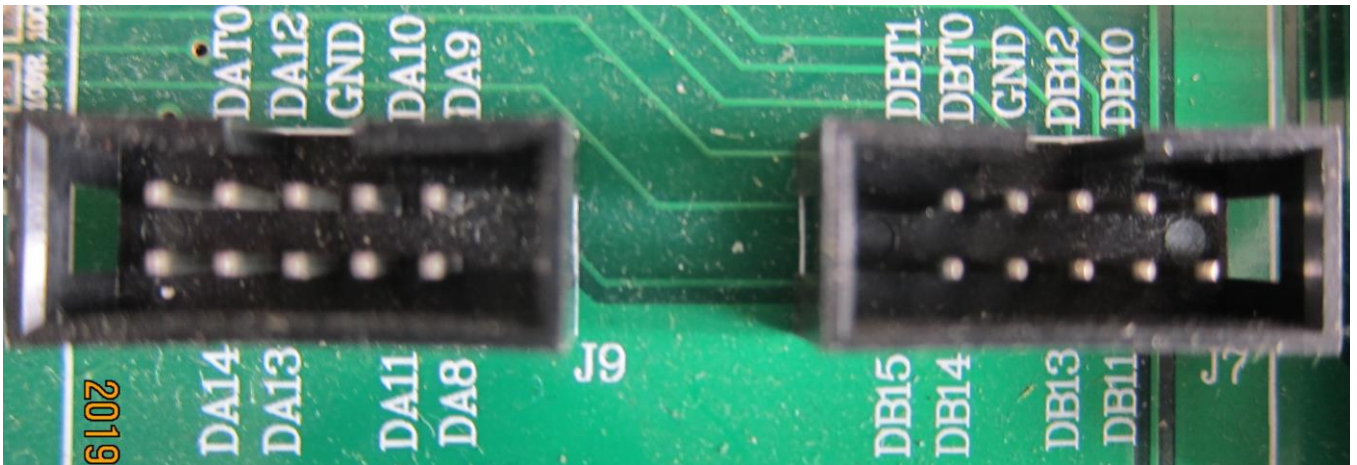
2、“系统复位键”，在对 FPGA 下载以后，按动此键，起到稳定系统作用；在实验中，当选中某种模式后，要按一下右侧的复位键，以使系统进入该结构模式工作。注意此复位键仅对实验系统的监控模块复位，而对目标器件 FPGA 没有影响，FPGA 本身没有复位的概念，上电后即工作，在没有配置前，FPGA 的 I/O 口是随机的，故可以从数码管上看到随机闪动，配置后的 I/O 口才会有确定的输出电平。

3、键 1~键 8：为实验信号控制键，此 8 个键受“多任务重配置”电路控制，它在每一张电路图中的功能及其与主系统的连接方式随模式选择键的选定的模式而变，使用中需参照第二节中的电路图。

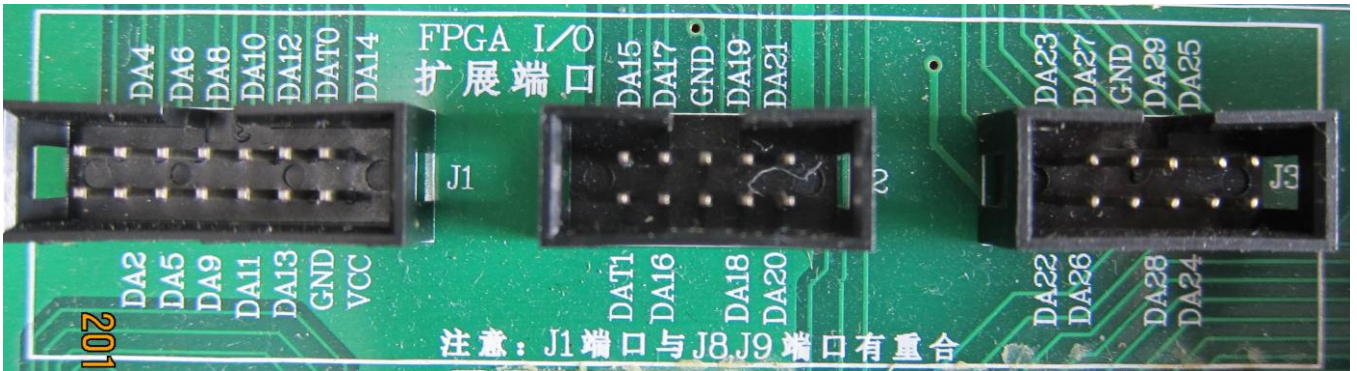
4、发光管 D1~D16：受“多任务重配置”电路控制，它们的连线形式也需参照第二节的电路图。



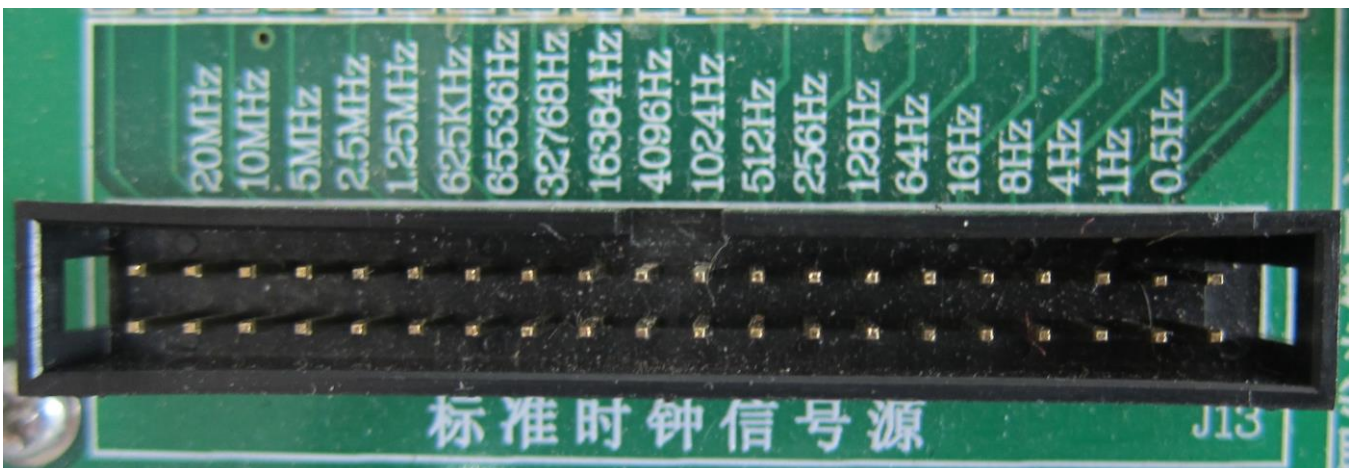
扩展接口 J6、J8



扩展接口 J7、J9



扩展接口 J1、J2、J3



标准时钟信号源接口 J13

2.2 多功能重配置结构模块

2.2.1 实验电路信号资源符号图说明

结合附图 2-1，以下对实验电路结构图中出现的信号资源符号功能作出一些说明：

(1) 附图 2-1a 是 16 进制 7 段全译码器，它有 7 位输出，分别接 7 段数码管的 7 个显示输入端：a、b、c、d、e、f 和 g；它的输入端为 D、C、B、A，D 为最高位，A 为最低位。例如，若所标输入的口线为 PIO19~16，表示 PIO19 接 D、18 接 C、17 接 B、16 接 A。

(2) 附图 2-1b 是高低电平发生器，每按键一次，输出电平由高到低、或由低到高变化一次，且输出为高电平时，所按键对应的发光管变亮，反之不亮。

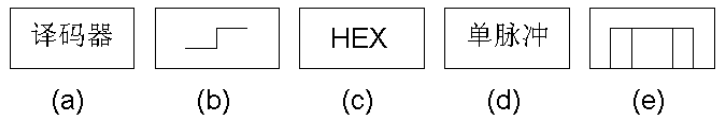


图 2-1 实验电路信号资源符号图

(3) 附图 2-1c 是 16 进制码（8421 码）发生器，由对应的键控制输出 4 位 2 进制码构成的 1 位 16 进制码，数的范围是 0000~1111，即 $\text{H}0$ 至 HF 。每按键一次，输出递增 1，输出进入目标芯片的 4 位 2 进制数将显示在该键对应的数码管上。

(5) 附图 2-1d 是单次脉冲发生器。每按一次键，输出一个脉冲，与此键对应的发光管也会闪亮一次，时间 20ms。

(6) 附图 2-e 是琴键式信号发生器，当按下键时，输出为高电平，对应的发光管发亮；当松开键时，输出为低电平，此键的功能可用于手动控制脉冲的宽度。具有琴键式信号发生器的实验结构图是 NO. 3。

2.2.2 各实验电路结构图特点与适用范围简述

(1) **结构图 NO. 0:** 目标芯片的 PIO16 至 PIO47 共 8 组 4 位 2 进制码输出，经外部的 7 段译码器可显示于实验系统上的 8 个数码管。键 1 和键 2 可分别输出 2 个四位 2 进制码。一方面这四位码输入目标芯片的 PIO11~PIO8 和 PIO15~PIO12，另一方面，可以观察发光管 D1 至 D8 来了解输入二进制的数值。例如，当键 1 控制输入 PIO11~PIO8 的数为“B”时，则发光管 D4 和 D2 亮，D3 和 D1 灭。电路的键 8 至键 3 分别控制一个高低电平信号发生器向目标芯片的 PIO7 至 PIO2 输入高电平或低电平，扬声器接在“SPEAKER”上，具体接在哪一引脚要看目标芯片的类型，这需要查第 3 节的引脚对照表。如目标芯片为 EPEC6/12，则扬声器接在“174”引脚上。目标芯片的时钟输入未在图上标出，也需查阅第 3 节的引脚对照表。例如，目标芯片为 EP1C6，则输入此芯片的时钟信号有 CLOCK0 或 CLOCK9，共 4 个可选的输入端，对应的引脚为 28 或 29。具体的输入频率，可参考主板频率选择模块。此电路可用于设计频率计，周期计，计数器等。

(2) **结构图 NO. 1:** 适用于作加法器、减法器、比较器或乘法器等。例如，加法器设计，可利用键 4 和键 3 输入 8 位加数；键 2 和键 1 输入 8 位被加数，输入的加数和被加数将显示于键盘对应的数码管 4-1，相加的和显示于数码管 6 和 5；可令键 8/7 控制此加法器的最低位进位。

(3) **结构图 NO. 2:** (4) 直接与 7 段数码管相连的连接方式的设置是为了便于对 7 段显示译码器的设计学习。以图 NO. 2 为例，如图所标“PIO46~PIO40 接 g、f、e、d、c、b、a”表示 PIO46、PIO45..PIO40 分别与数码管的 7 段输入 g、f、e、d、c、b、a 相接。

可用于作 VGA 视频接口逻辑设计，或使用数码管 8 至数码管 5 共 4 个数码管作 7 段显示译码方面的实验；而数码管 4 至数码管 1，4 个数码管可作译码后显示，键 1 和键 2 可输入高低电平。

(4) **结构图 NO. 3:** 特点是有 8 个琴键式键控发生器，可用于设计八音琴等电路系统。也可以产生时间长度可控的单次脉冲。该电路结构同结构图 NO.0 一样，有 8 个译码输出显示的数码管，以显示目标芯片的 32 位输出信号，且 8 个发光管也能显示目标器件的 8 位输出信号。

(5) **结构图 NO. 4:** 适合于设计移位寄存器、环形计数器等。电路特点是，当在所设计的逻辑中有串行 2 进制数从 PIO10 输出时，若利用键 7 作为串行输出时钟信号，则 PIO10 的串行输出数码可以在发光管 D8 至 D1 上逐位显示出来，这能很直观地看到串出的数值。

(6) **结构图 NO. 5:** 8 键输入高低电平功能，目标芯片的 PIO19 至 PIO44 共 8 组 4 位 2 进制码输出，经外部的 7 段译码器可显示于实验系统上的 8 个数码管。

(7) **结构图 NO. 6:** 此电路与 NO. 2 相似，但增加了两个 4 位 2 进制数发生器，数值分别输入目标芯片的 PIO7~PIO4 和 PIO3~PIO0。例如，当按键 2 时，输入 PIO7~PIO4 的数值将显示于对应的数码管 2，以便了解输入的数值。

(8) **结构图 NO. 7:** 此电路适合于设计时钟、定时器、秒表等。因为可利用键 8 和键 5 分别控制时钟的清零和设置时间的使能；利用键 7、5 和 1 进行时、分、秒的设置。

(9) **结构图 NO. 8:** 此电路适用于作并进/串出或串进/并出等工作方式的寄存器、序列检测器、密码锁等逻辑设计。它的特点是利用键 2、键 1 能预置 8 位 2 进制数，而键 6 能发出串行输入脉冲，每按键一次，即发一个单脉冲，则此 8 位序置数的高位在前，向 PIO10 串行输入一位，同时能从 D8 至 D1 的发光管上看到串形左移的数据，十分形象直观。

(10) **结构图 NO. 9:** 若欲验证交通灯控制等类似的逻辑电路，可选此电路结构。

(11) 当系统上的“模式指示”数码管显示“A”时，系统将变成一台频率计，数码管 8 将显示“F”，“数码 6”至“数码 1”显示频率值，最低位单位是 Hz。测频输入端为系统板右下侧的插座。

2.2.3 实验电路结构图

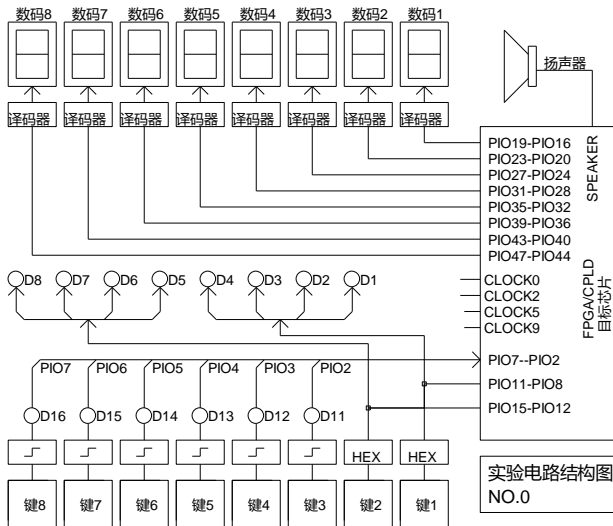


图 3 实验电路结构图 NO.0

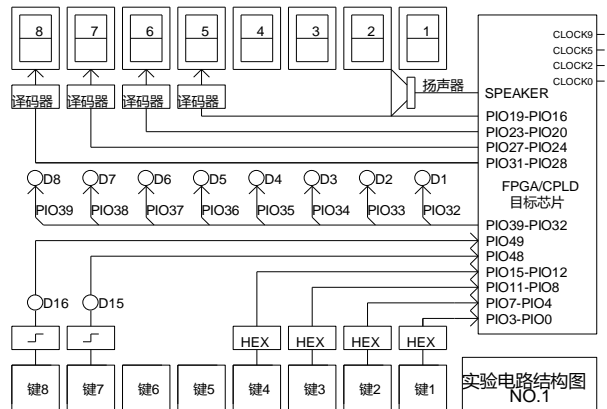


图 4 实验电路结构图 NO.1

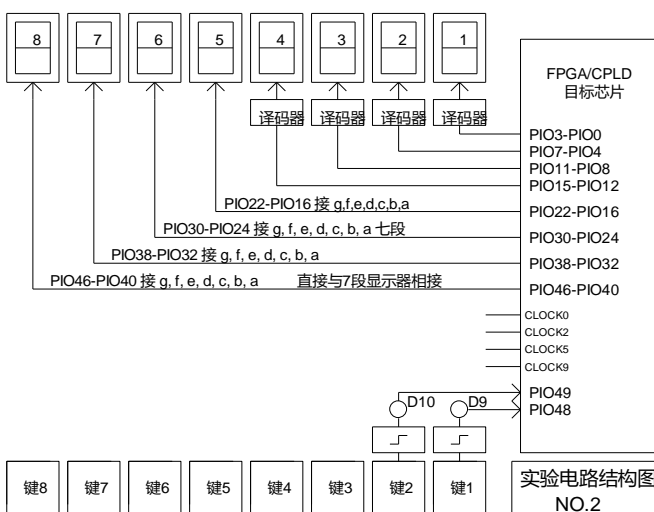


图 5 实验电路结构图 NO.2

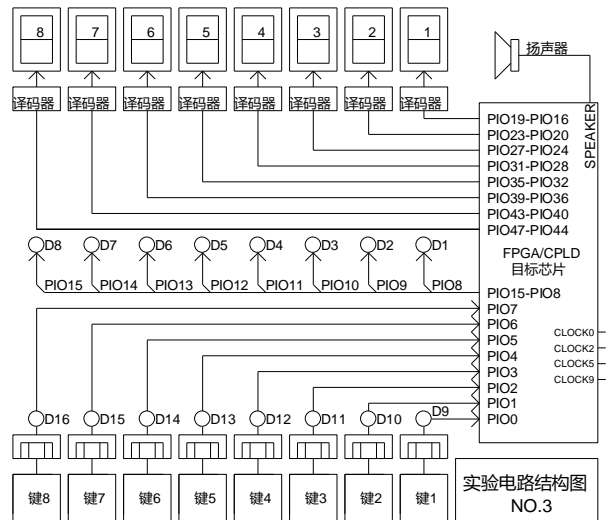


图 6 实验电路结构图 NO.3

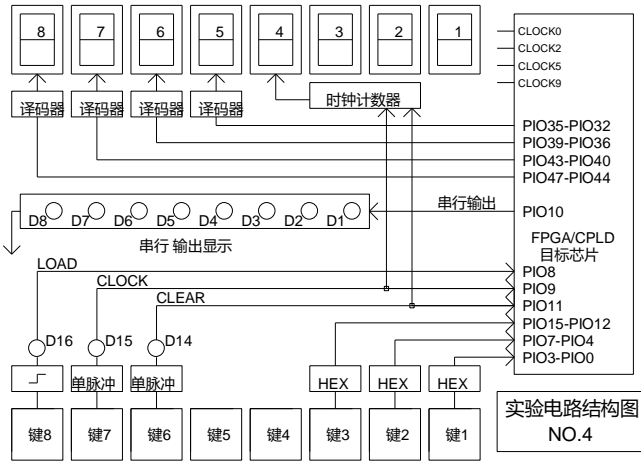


图 7 实验电路结构图 NO. 4

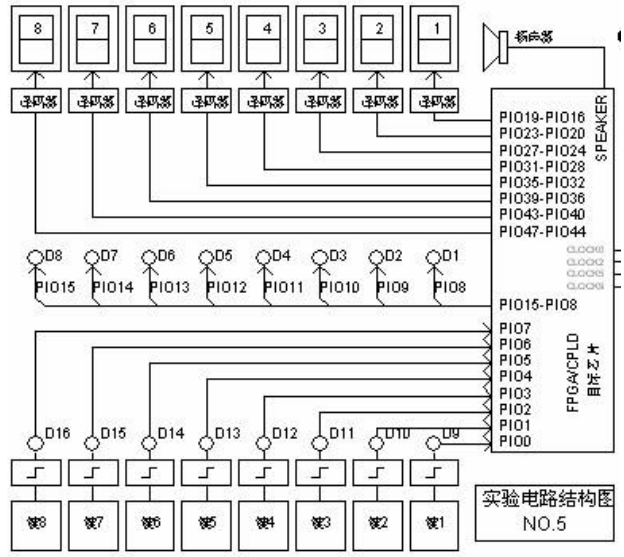


图 8 实验电路结构图 NO.5

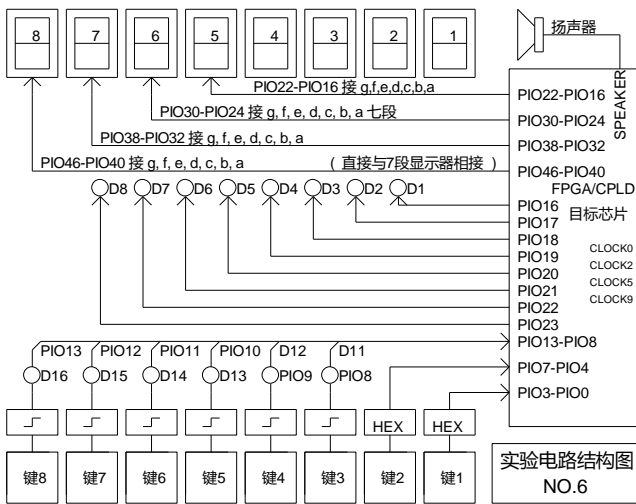


图 9 实验电路结构图 NO. 6

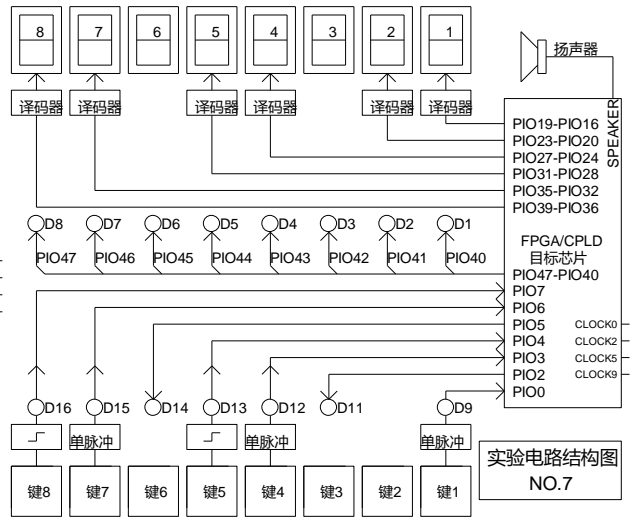


图 10 实验电路结构图 NO. 7

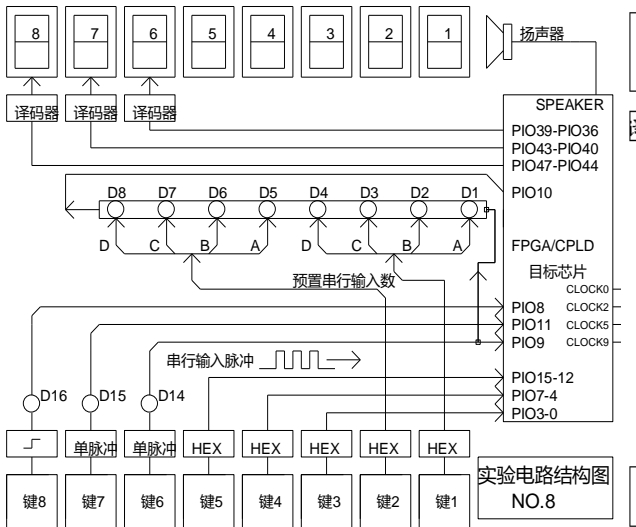


图 11 实验电路结构图 NO. 8

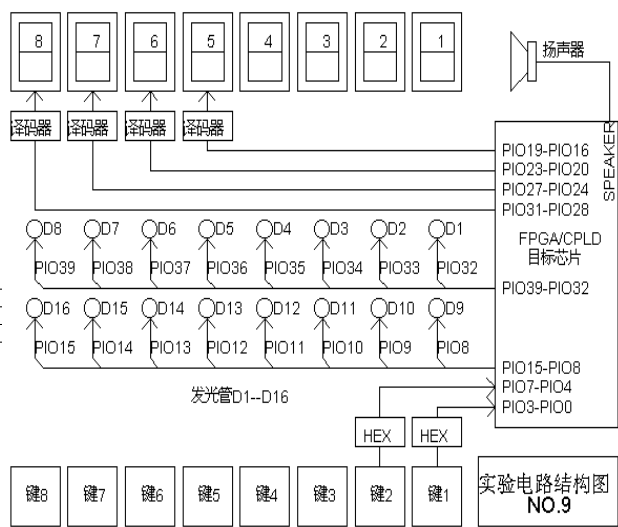


图 12 实验电路结构图 NO. 9

2.3 核心板介绍

2.3.1 大规模 FPGA 模块（核心板）

康芯 KX-CDS 主系统平台可搭载友晶 DE 系列的 DE0/DE0-CV/DE1-SOC 和康芯的 3C55/3C40/3C10 核心板。

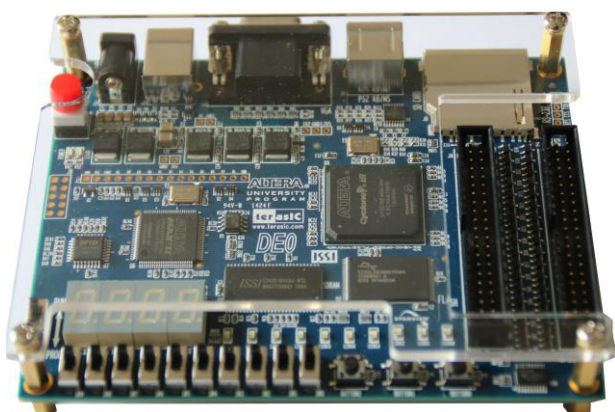


图 2-1 友晶 DE0 核心板

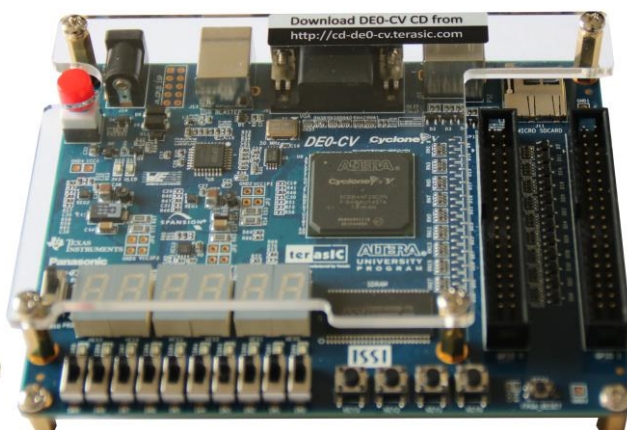


图 2-2 友晶 DE0-CV 核心板

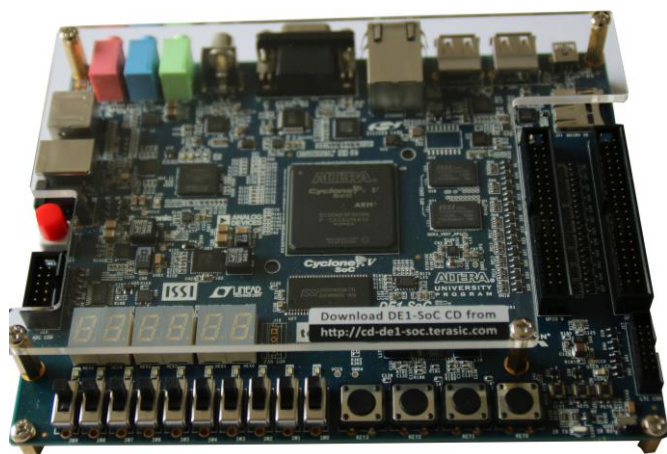


图 2-3 友晶 DE1-SOC 核心板

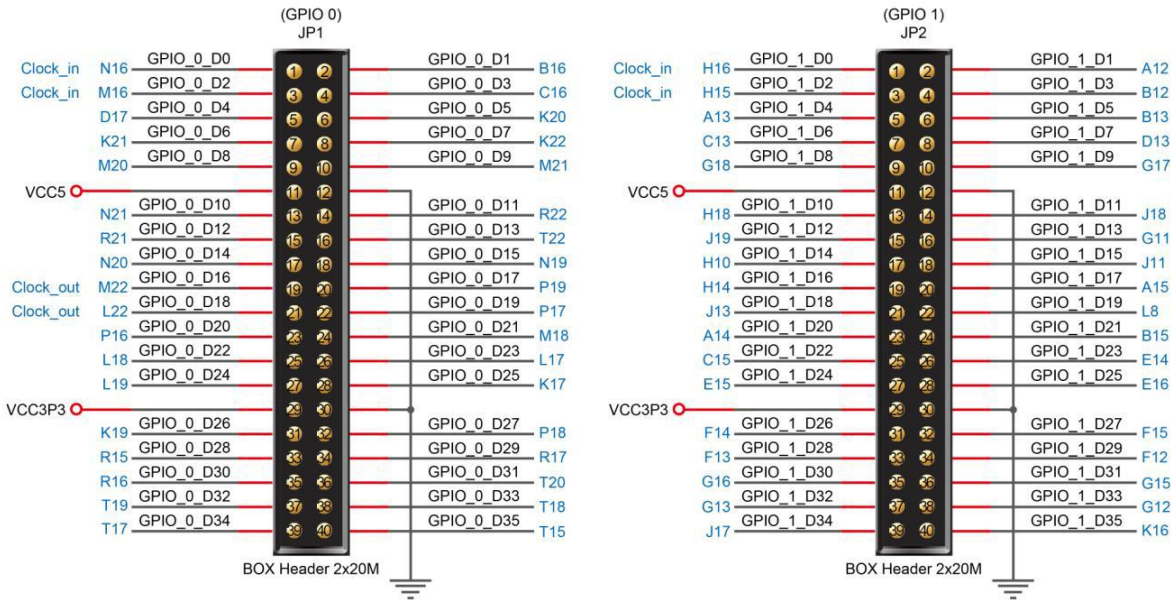
以上是 DE 系列核心板，有关资料请文件夹“DE0”，其中包括 的原理图、板的使用说明，实验介绍等。

2.3.2 友晶 DE 和康芯 KX 系列核心板扩展至康芯主系统引脚对照表

结构图上的信号名	KX-3C10	DE0	DE0-CV	DE1-SOC	KX-3C40	80 芯端口	备注
	EP3C10E144	EP3C16F484C6	5CEBA4F23C7N	5CSEMA5F31C6	EP3C40Q240C8	J4-40PIN/DB	
	CycloneIII	CycloneIII	CycloneV	CycloneV	CycloneIII	J5-40PIN/DA	
	引脚号	引脚号	引脚号	引脚号	引脚号	端口名	
PI00	52	U7	T15	AJ21	88	DB31	
PI01	55	W6	T18	AG20	94	DB29	
PI02	64	V8	T20	AG21	103	DB27	
PI03	66	W10	R17	AF21	107	DB25	
PI04	67	V11	P18	AE19	113	DB23	
PI05	75	V12	K17	AD20	131	DB21	
PI06	79	W13	L17	AK21	133	DB19	
PI07	84	U14	M18	AJ20	135	DB17	
PI08	60	T8	R16	AF19	106	DB26	
PI09	65	Y10	R15	AF20	112	DB24	
PI010	70	R10	K19	AE18	114	DB22	
PI011	74	U13	L19	AD19	132	DB20	
PI012	77	Y13	L18	AH20	134	DB18	
PI013	83	V14	P16	AH19	137	DB16	
PI014	42	V7	K16	AC22	70	DA31	
PI015	39	V6	J17	AA20	73	DA30	
PI016	44	U8	G12	AD21	76	DA29	J3-3
PI017	43	Y7	G13	AE22	78	DA28	J3-4
PI018	49	T9	G15	AF23	80	DA27	J3-7
PI019	46	U9	G16	AF24	81	DA26	J3-8
PI020	51	T10	F12	AG22	82	DA25	J3-1
PI021	50	U10	F13	AH22	83	DA24	J3-2
PI022	59	R12	F15	AJ22	84	DA23	J3-9
PI023	54	R11	F14	AK22	87	DA22	J3-10
PI024	69	T12	E16	AH23	98	DA21	J2-1
PI025	68	U12	E15	AK23	100	DA20	J2-2
PI026	72	R14	E14	AG23	99	DA19	J2-3
PI027	71	T14	C15	AK24	110	DA18	J2-4
PI028	76	AB7	B15	AJ24	111	DA17	J2-7
PI029	73	AA7	A14	AJ25	128	DA16	J2-8
PI030	85	AA9	L8	AH25	127	DA15	J2-9
PI031	80	T16	J13	AK26	126	DAT1	J2-10
PI032	101	AB9	A15	AJ26	118	DA14	J9-10
PI033	100	R16	H14	AK27	117	DAT0	J9-9
PI034	113	V15	J11	AK28	160	DA13	J9-8
PI035	105	W15	H10	AK29	159	DA12	J9-7
PI036	120	T15	G11	AJ27	166	DA11	J9-4
PI037	114	U15	J19	AH27	164	DA10	J9-3
PI038	128	W17	J18	AH24	176	DA9	J9-1
PI039	125	Y17	H18	AG26	173	DA8	J9-2
PI040	135	AB17	G17	AG25	195	DA7	J8-10
PI041	136	AA17	G18	AF26	194	DA6	J8-9

KONXIN

结构图上的 的信号名	KX-3C10	DE0	DE0-CV	DE1-SOC	KX-3C40	80 芯端口	备注
	EP3C10E144	EP3C16F484C6	5CEBA4F23C7N	5CSEMA5F31C6	EP3C40Q240C8	J4-40PIN/DB	
	CycloneIII	CycloneIII	CycloneV	CycloneV	CycloneIII	J5-40PIN/DA	
引脚号	引脚号	引脚号	引脚号	引脚号	引脚号	端口名	
PI042	137	AA18	D13	AF25	197	DA5	J8-8
PI043	138	AB18	C13	AE24	196	DA4	J8-7
PI044	141	AB19	B13	AE23	201	DA3	J8-4
PI045	142	AA19	A13	AD24	200	DA2	J8-3
PI046	143	AB20	B12	AC23	202	DA1	J8-1
PI047	144	AA20	A12	AA21	203	DA0	J8-2
PI048	58	W7	T19	AF18	95	DB28	
PI049	53	V5	T17	AG18	93	DB30	
CLKB0	90	AB12	N16	AC18	149	CLKB0	J17
CLKB1	91	AA12	M16	AD17	150	CLKB1	J17
8051/88							
MT	88	AB11	H16	AB17	151	CLKA0	
NO	89	AA11	H15	AB21	152	CLKA1	
PE0	127	AA15	D17	AK16	186	DB2	
PE2	124	AA14	K21	AK19	184	DB4	
	133	AB16	B16	Y17	189	DB0	J6-1
	129	AA16	C16	Y18	188	DB1	J6-2
	126	AB15	K20	AK18	187	DB3	J6-3
	121	AB14	K22	AJ19	185	DB5	J6-4
	119	AB13	M20	AJ17	177	DB6	J6-7
	115	AA13	M21	AJ16	183	DB7	J6-8
	111	AB10	N21	AH18	171	DB8	J6-9
	112	AA10	R22	AH17	169	DB9	J6-10
	106	AB8	R21	AG16	162	DB10	J7-1
	110	AA8	T22	AE16	161	DB11	J7-2
	103	AB5	N20	AF16	146	DB12	J7-3
	104	AA5	N19	AG17	145	DB13	J7-4
	98	AB3	M22	AA18	144	DBT0	J7-7
	99	AB4	P19	AA19	143	DB14	J7-8
	86	AA3	L22	AE17	142	DBT1	J7-9
	87	AA4	P17	AC20	139	DB15	J7-10



第三章 KX_CDS 系统主要扩展板介绍

本章主要介绍 KX-CDS 系统主要配套实验功能模块。这些模块可以是系统的配套模块，也可以是订购模块，或是根据此系统的接插口，以及开发项目的需要，自己设计出的模块。因此在 KX-CDS 系统上用于完成不同类型的实验和设计的模块数量和种类没有任何限制。这里仅将一些主要和核心的功能模块的结构特点和使用注意作一些介绍。至于对于这些模块更加详细的了解和熟练的应用必须通过实际使用后才能实现。

好在本讲义推荐的几乎所有实验与设计都配有示例源文件和对应的实验指导 ppt 课件，在这些课件的照片上有所有相关实验模块的详细使用指导，**通过这些实验指导课件就能完全掌握实验模块的使用方法。**

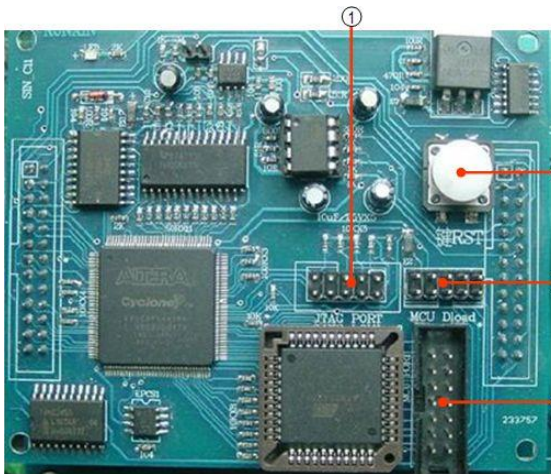
此外，还应该注意，这些模块的一个共同特点，即他们可以插于 KX-CDS 系统上组合成设计系统进行实验，也可脱离实验平台构成独立的模块和模块组合进行更加实际的系统，这是 KX-CDS 系统的主要特点。

各模块的具体情况可以参见相关实验指导 ppt 文件以及相关说明。

实验操作方法：模块与模块之间的连接方式，KX-CDS 实验平台上的实验模块之间的连接方式主要采用十芯线连接，为了用户使用简单方便，每个模块的控制及数据端口全部外引，大多数是十芯座为一组，所有模块都标准化，每个十芯座有 10 根针，中间的两个针分别是上面“GND”，下面 VCC，其他 8 根针全部是用来引脚号，全部在旁边标出，用户在使用时，用十芯线连接，根据每根针所在的位置一一对应锁定引脚号即可。

为了用户快捷了解核心板及扩展板的接口功能，采用注解的方式进行介绍。

3.1 可重构型 DDS 全数字函数信号发生器



KX_DN 系统配套的全数字型 DDS 函数信号发生器模块(图 2-2)含 FPGA、单片机、超高速 DAC、高速运放等。既可作为全数字型 DDS 函数信号发生器，同时也可作为 EDA/DSP 系统及专业级 DDS 函数信号发生器设计开发平台。作为 DDS 函数发生器的功能主要包括：等精度频率计，全程扫频信号源（扫速、步进频宽、扫描方式等可数控），移相信号发生，里萨如图信号发生，方波/三角波/锯齿波和任意波形发生器，以及 AM、PM、FM、FSK、ASK、FPK 等各类调制信号发生器。

KX-DN 系统上配有一个功能强大的 DDS 函数信号发生器。此信号发生器的主模块（图 2-2）插于平台的

2-2 DDS 函数信号发生器主板

左上图方。它必须结合插座 A3 上插的 20 字 X4 行字符型液晶和插座 A6 上插的 4X4 键盘，联合使用，这是实验的辅助测试和信号系统。由于此系统设计的操作较多，功能也较丰富，所以必须参考 ppt/PDF 文件，以便更详细地了解使用方法。对应文件是：[\重要 PDF 文件\KX_DN 系统标准 DDS 函数发生器用法.ppt/](#)

KX-DN 系列的可重构 DDS 函数信号发生器使用了有别于传统模拟信号发生器和普通 DDS 函数信号发生器的更新换代理念。尽管普通 DDS 函数信号发生器同样采用了数字频率直接合成技术，有许多模拟信号发生器无法比拟的优点：频率精度高、无量程限制、信号过度时间极短、波形精度高、不同方式和全程扫描特性好、调整功能强、全数字化控制、稳定可靠等等，但由于采用 DDS 专用器件，缺乏灵活性，功能受限于专用芯片的即定功能，不仅无法适应用户许多特定功能的要求，就是不少专用功能也无法实现，从而在不少应用场合使用户面对许多尴尬局面。这是因为任何一台功能强大的 DDS 信号发生器都不可能总是满足用户，特别是通信系统或一些电子系统设计领域的用户的需求，如一些特定编码方式或调制方式的信号发生功能和解调功能等。

可重构 DDS 函数信号发生器基于 EDA/SOPC 设计技术及数控制振荡器 NCO/DDS、AM 纯数字发生器（注意，目前绝大多数 DDS 信号发生器的 AM 信号是靠模数结合，如使用模拟乘法器等方式生成的，因此在数字通信中没有实用价值）、数字锁相环等 IP 核，是 EDA/SOPC 技术高度发展的产物，它彻底解决了普通 DDS 信号发生器的传统缺陷，而且整体功能和性能都有了质的飞跃。

1、作为普通函数信号发生器，从技术的先进性、功能的完备性、使用的便利性及性能指标的优越方面看，此系统无论作为普通信号发生器，还是高档函数信号发生器，都可谓当之无愧。

2、作为应用电路模块的开发系统。由于该系统是基于 EDA 技术和大规模高速 FPGA，具有良好的重构功

能，以及端口完善的驱动与保护特性，开发者大量的硬件模型和实用系统（特别是通信领域中的各类功能模块）可以借助该系统，以及 QuartusII、硬件描述语言等迅速开发出来。

3、作为大学生电子设计竞赛的实验系统和开发系统。由于该系统中的许多功能都曾出现在历届大学生电子设计竞赛的赛题中，且该系统的性能指标都超越了相关赛题中发挥部分要求的技术指标，而实现方法又十分类似（技术类型和软硬件方面），所以无论作为培训工具还是实战开发系统，都可以帮助竞赛者高效对付许多类型的赛题。因此，该系统同样可作为毕业设计、学位论文、课余科技活动高效有力的开发工具。

4、作为自主创新型实验开发系统。创新就是原创，就是独创，在电子领域就是设计出全新而又性能优良适用面宽阔的系统或功能模块。创新是需要适当平台（可行性环境）的，几个 74 系列器件构成的平台，显然不如单片机系统，而单片机系统又不及嵌入式系统，但嵌入式系统在自主设计方面又不及 SOPC/EDA 技术。因为嵌入式系统中几乎所有硬件模块，从 CPU 到各种接口功能模块都是现成的，开发者主要工作是在软件方面，虽说可以在此平台上有许多创新之作，但最重要的自主知识产权却无法拥有，因为硬件的产权是属于别人的。显然，创新不等于自主，只有创新而没有自主，则很可能失去创新的价值和意义，从本质上看，便不能属于真正的创新。而 EDA/SOPC 技术则解决了硬件设计、软件设计和综合设计的根本问题，从而也解决了创新和自主这一对矛盾，不言而喻，基于 EDA 技术的平台将为设计者提供了最大可能的自主创新的平台。

DDS 函数信号发生器主要模块和电路结构在实验系统的左上侧，除了左侧的 DDS 主模块、液晶显示屏和 4X4 键盘外，在右上侧还有许多功能模块和信号通道：

(1) **A 通道**。这里 DDS 函数信号发生器模拟信号输出通道的 A 通道（此信号发生器可以输出双通道模拟信号），如正弦波信号等，幅度最大 $\pm 10V$ ，可通过电位器调谐。

(2) **TTL 信号输出**。此是 DDS 函数信号发生器的 TTL 信号输出口。

(3) **B 通道**。在主系统标注“4”是 DDS 函数信号发生器模拟信号输出通道的 B 通道之信号口。如果需要得到 B 通道的模拟信号输出，必须将此 B 通道口线与某一 DAC 的输入接口，然后得到输出信号，此通道在平台的左上方 J2 口。

(4) **信号测试输入口**。即“TTL 输入”口。可以通过 DDS 函数信号发生器测试此口输入信号的频率、脉宽、占空比等。数字调制信号和扫频信号外部控制时钟也可通过此口进入。

(5) **调谐电位器**。有两个电位器，一个用于调谐输出模拟信号的幅度，另一个调谐信号的偏移电平。

标注“1”是此板上 Cyclone1c3 FPGA/JTAG 下载口，此口可对 FPGA 二次开发，用户可根据自己需要来开发。

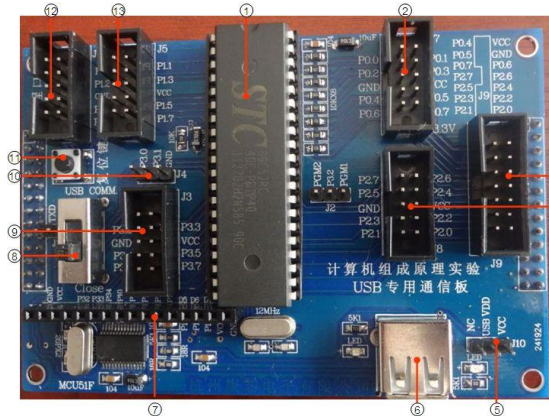
标注“2”是系统复位键，可对系统初始化。

标注“3”对单片机 8253 编程口。

标注“4”是 14 芯接 2004 液晶及 4X4 键盘的接插口，是用来 DDS 显示和操作的接口，对应的是 2004 液晶模块的标注“1”。

注意，一般情况下请不要清除和覆盖 FPGA 和单片机的程序，否则将无法运行 DDS 功能。

3.2 单片机模块说明



单片机模块（图 3-5）是 KX_DN 系统配套的核心模块之一，原理图请参考文件夹“原理图\MCU8051_SCH.pdf”，例程参考：\MCU_Tech，用法注意如下：

标注“1”如果是单片机 AT89S51，则可通过 ByteBlasterMV 通过计算机并口对其编程，如果是 STC89C51，则可通过 USB-RS232，即 USB 转串口对单片机（P3.0 和 P3.1）编程，这种方式更方便，编程方法参考附录 2。

标注“2、3、4、9、12、13”是单片机 IO 口，可外接。

标注“5”是 USB 供电外接口，通过此口可向外输出电源。

标注“6”是 USB 供电接插口，如此板独立使用时，可通过此口输入电源。

标注“7”是字符液晶接插口，可接 1602/2004 等字符液晶。单片机可对其控制。

标注“8”是开关，如对此单片机编程时，开关拨下，利用本公司 USB 下载器连接 P3.0、P3.1 口对其编程，如拨上，可利用 USB 转接 RS232 口进行通信实验。

标注“10”是 P3.0、P3.1 脚，单独引出，是为了对单片机编程，具体编程方法请参考文件夹：“FPGA_单片机_编程内容”。

标注“11”是单片机复位键。

注：此单片机编程方法:\FPGA_单片机_编程，编程软件：VIVI\stc89c51 编程下载.rar

3.3 键盘及 LED 显示模块

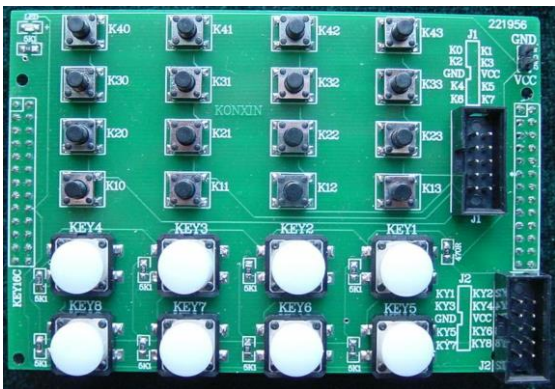
3.3.1 4X4 十六键键盘



此模块可作单片机实验键盘、FPGA 控制的键盘，也可兼做 KX_DN 系统上的 DDS 函数信号发生器的控制键盘，因为此键盘上已标注每一键的功能。此键盘输出端口每一端口都含上拉电阻，做为 DDS 模块应插在 A6 座上。

标注“1”是此 16 键的 8 根线扫描控制端口，原理图请参考文件夹“原理图\KEYs4X4_SCH.pdf”。如此模块做为 DDS 操作使用时连接方式可参考 3.4.2 2004 字符液晶使用说明。

3.3.2 4X4+8 个单脉冲综合键盘模块 (图 3-7)



此键盘是综合使用键盘，上面的黑色键盘采用 8 个线扫描方式接 16 个键，可参考上面 (图 3-4) 单独 4X4 键盘原理一样，下面 8 个白色键盘是独立的单脉冲键盘，原理图请参考附录 3 图 3-1。

3.3.3 交通灯显示模块 (图 3-13)



从右向左依次提供四组红、黄、绿、蓝交通模式，下方二十芯口分别是对应的灯的引脚端口。此板的例程路径：

1_BASIC_EDA_DESN\jiaotong

EY	EB	GND	SY	SB
ER	EG	VCC	SR	SG

WY	WB	GND	NY	NB
WR	WG	VCC	NR	NG

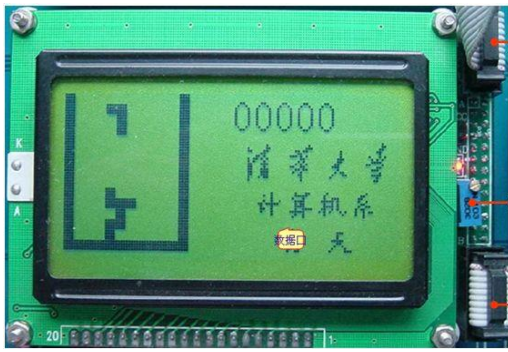
3.3.4 动态扫描模块 (图 3-14)



提供 8 组七段译码动态扫描数码，左边十芯口是数码段的接口端，右边是 8 数码的位控制端。1_BASIC_EDA_DESN\SCAN8_LED

3.4 液晶显示模块

3.4.1 点阵式 128X64 液晶显示模块 (图 3-15)



此模块为点阵式 128X64 液晶显示模式，其使用手册在文件夹“VIVI_FILE\LCD_FILE”里。原理图请参考文件夹“原理图\LCD128X64_SCH.pdf”。例程参考：

\3_8051_8088_SOC_DESN\EP13_8051Core_LCD128X64 和

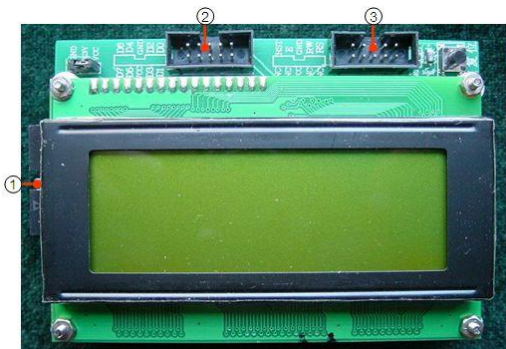
\2_SYSTEM_DESIN\EP17_PS2_64X128LCD

标注“1”液晶的 7 位数据控制端口，对应的脚名在背面。

标注“2”是调节液晶背光的强弱电位器。

标注“3”是此液晶的功能控制端口。

3.4.2 字符式 20X4 液晶显示模块 (图 3-16)



此模块作为 DDS 显示模块时，应插在 A3 做上。其使用手册在文件夹“VIVI_FILE\LCD_FILE”里。原理图请参考文件夹“原理图\LCD4X20_SCH.pdf”。参考示例：

3_8051_8088_SOC_DESN\EP11_8051Core_K4X4_FTTEST

标注“1”作为 DDS 模块显示时，此接口是通过 14 芯线连接到 DDS 模块的标注“4”接口上，在把标注“2”端口利用 10 芯线连接到 4X4 键盘的标注“1”接口上。这样就构成了 DDS 的硬件操作系统。

标注“2”是此液晶的 8 位数据控制端口。

标注“3”是此液晶的功能控制端口。

3.4.3 800X480 数字 TFT 彩屏液晶显示模块 (图 3-17)



作为实验模块，此显示屏只能用 FPGA 驱动。此液晶的手册请浏览文件夹“VIVI_FILE AT070TN83V.1.pdf”。原理图请参考文件夹“原理图\LCD_CL1.pdf”。参考示例：

\2_SYSTEM_DESIN\EP19_LCD_light_GAME 和

\EP20_LCD_Super_Mario；液晶右边上方两口子是液晶驱动及数据口，如采用触摸形式，下方一端口是触摸数据端口，采用 ads7846 控制方式，具体例程及资料在

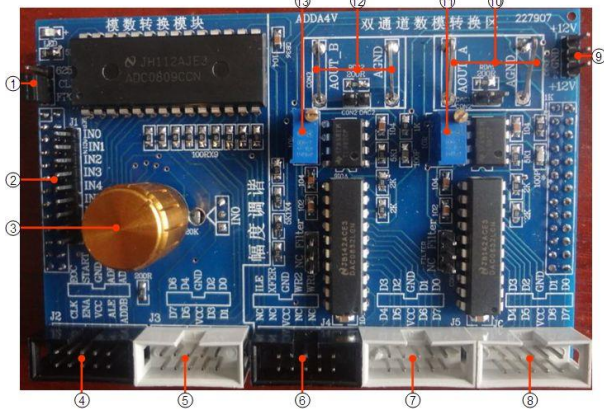
\2_SYSTEM_DESIN\EP26_LCD_TOUCH_QSYS

彩色液晶显示屏上有 5 个跳线选择：

- 1、控制模式 MODE 跳线选择：选择“H”，即选择普通 LCD 扫描控制方法，“L”选择 VGA 方式
- 2、DCLK 跳线选择：选择“HS”即选择 VGA 方式扫描控制；“DCLK”：选择普通 LCD 控制方式。
- 3、VS/DE 跳线选择：选择“VS”即选择 VGA 方式扫描控制；“DE”：选择普通 LCD 控制方式。
- 4、L/R 跳线选择：选择“H”即选择从右至左方式扫描；选择“L”，即选择从左至右方式扫描。
- 5、U/D 跳线选择：选择“H”即选择从上至下式扫描；选择“L”，即选择从下至上方式扫描。

3.5 A/D 和 D/A 转换模块

3.5.1 双通道 DAC 和 ADC 标准模块 (图 3-18)



此板一个是 ADC0809 和双通道 DAC0832 模块，原理图请参考附录 3 图 3-2、3-2。

参考示例：

1_BASIC_EDA_DESNEP17_SIN_WAVE_DAC0832

标注“1”是 AD0809 需提供时钟的方式，如跳线帽跳上，0809 的工作时钟需通过主系统提供，注意，主系统 A8 座提供 625KHZ 的时钟，此板必须插在 A8 座上，如跳线帽跳下，此板可插其他座上，但时钟需通过 FPGAIO 口提供，标注“4”是外围时钟输入口，FPGA 可对应于其口输入时钟。

标注“2”是 AD0809 的模拟输入通道。

标注“3”是 AD0809 通道“IN0”输入的选择钮，可通过此按钮输入电压信号。

标注“4”是 0809 的控制端口，其中有一个“CLK”端，是 FPGA 向 0809 的输入时钟端。

标注“5”是 0809 的数据输出端。

标注“6”是 DA0832 的控制端，用户可根据 0832 的使用手册进行控制。

标注“7”是 0832 的 B 通道的数据输入端。

标注“8”是 0832 的 A 通道的数据输入端。

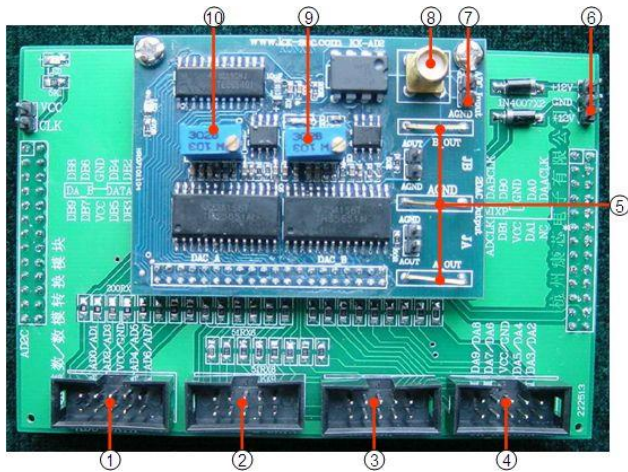
标注“9”是 +/-12V 输入端，注意，上为 -12V，这里板上标错，一般此板脱离主系统才用到。如果插在主系统上使用，要选择主系统的带 +/-12V 的插座。

标注“10、12”分别是 A/B 通道的输出接示波器端口。

标注“11、13”是调节 A/B 通道的幅度的电位器。

另外 0832 左边上分别有个跳线帽，是滤波选择，如跳下是无滤波，跳上是有滤波。

3.5.2 高速 A/D 和双通道 DA 模块 (图 3-19)



双通道高速并行 DAC/ADC 模块。最高 180MHz 转换时钟的双路超高速 10 位 DAC (DAC900)、50MHz 单通道超高速 8 位 ADC (5540)、300MHz 高速单运放 2 个。由于速度很高，通常只适用于 FPGA 来接口控制，不适合单片机接口。原理图请参考文件夹“原理图\AD2C.pdf 和 ADDA_SCH.pdf”。

标注“1”是 AD5540 数据输出端口，共 8 位。

标注“2”是 DA5651B 通道的输入端口，共 10 位，其中 DB2-DA9 数据脚号在板的左上方标出，标注“3”是 AD\DA 的时钟输入端口及 DA5651A 通道，在右上方标注的端口名 DA0/1 是 DA 低两位输入端，DA5651B 通道 DB0/1 输入口，“ADCLK”表示 AD5540 时钟输入端，DABCLK 和 DAACLK 分别是 DA5651 时钟输入端，（注

意：此 A/D 和 D/A 的时钟是通过 FPGA 的 IO 口输入）。

标注“4”是 DA5651A 通道高 8 位输入端。

标注“5”是 DA 模拟信号输出接示波器探头端口。

标注“6”是 DA 运放的 +/-12V 的输入端，如果此板独立用，需从此端口输入 +/-12V，注意：上端为 -12V，下方为 +12V，在此板上标注有错误。

标注“7”是 AD 以针形式的模拟信号输入端。

标注“8”是 AD 专用输入端，用此端口，可减少干扰信号。

标注“9、10”分别是 DA 模拟信号幅度调谐点电位器。

3.5.3 高速 12 位 SPI 串行双 ADC (图 3-20)

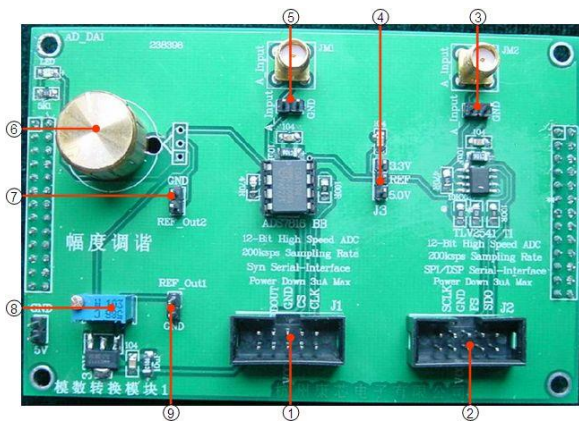


图 3-20 左边器件高速 12 位同步串行 ADC ADS7816 模块，200ksps；体积小功耗低，无需高压电源。FPGA 和单片机都能将其作为接口扩展器件。ADS7816 详细资料在 MCU_TECH\ADC_DAC\ADS7816_12B_200K.pdf，

图右边器件是高速 12 位 SPI 串行 ADC TLV2541 模块，200ksps，SPI 接口；体积小功耗低，无需高压电源。FPGA 和单片机都能将其作为接口扩展器件。ADC TLV2541 详细资料在 MCU_TECH\ADC_DAC\TLV2541_12B_200K.pdf。

标注“1”是 ADS7816 控制端口。标注“2”是 ADC TLV2541 控制端口。标注“3、5”分别是此两器件的模拟输入专用及针形式端口，根据需要来选择。标注“4”是外围提供的模拟信号输出端。标注“6、7”分别是此板提供旋钮式模拟信号调谐及输出端之一。标注“8、9”分别是此板提供电位器式模拟信号调谐及输出端之一。此板参考示例程序及用法：\MCU_TECH\MCU 控制 ADC_DAC_等器件实验指导。原理图请参考文件夹“原理图\AD_DA1.pdf”。

3.5.4 8 位+16 位高分辨率 ADC 等模块 (图 3-21)



图 3-21 左边器件 ADC0832 二通道八位 ADC，SDE 标准串行通信接口，此器件详细资料在 MCU_TECH\ADC_DAC\ADC0832.pdf。右边器件 ADS1100 16 位高分辨率 ADC，低功耗、自动校正功能，I2C 串行接口。此器件详细资料在 MCU_TECH\ADC_DAC\ADS1100_.pdf。此板上各端口功能请参照(图 3-16)板标注说明，基本功能一样。此板参考示例程序及用法：\MCU_TECH\MCU 控制图 ADC_DAC_等器件实验指导。原理图请参考文件夹“原理图\AD_DA2.pdf”。

3.5.5 SPI 串行接口高速 ADC+DAC 模块 (图 3-22)



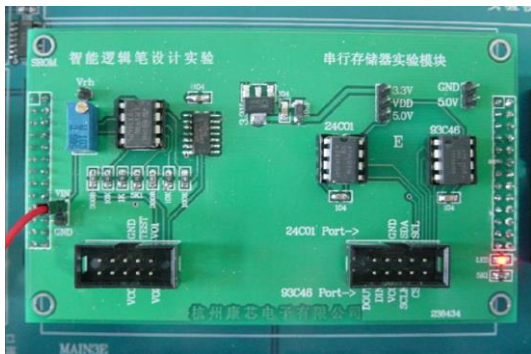
图 3-22 左边器件高速串行 ADC TLV1572 10 位 QSPI/SPI/DSP 串行接口，1.25MSPS，自动功率控制；FPGA 和单片机都能将其作为接口扩展器件。此器件详细资料在 MCU_TECH\ADC_DAC\TLV1572_10B_1.25M.pdf。

右边器件 DAC TLV5637，双通道 10 位 QSPI/SPI/DSP 串行接口高速 DAC，片内可编程参考电压，可编程转换速率控制。此模块更适用于基于 FPGA 的 DSP 模块设计开发。此器件详细资料在 MCU_TECH\ADC_DAC\TLV5637.pdf。此板上各端口功能请参照(图 3-16)板标注说明，基本功能一样。此板参考示例程序及用法：MCU_TECH\MCU 控制 ADC_DAC_等器件实验指导。原理图请参考

文件夹“原理图\AD_DA3.pdf”。

3.6 存储器模块

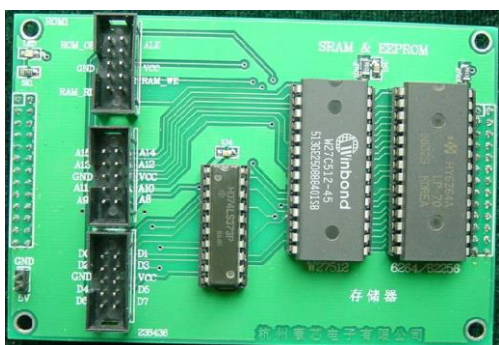
3.6.1 双串行存储器/逻辑笔设计模块 (图 3-28)



左边是智能逻辑笔设计实验用的逻辑笔实验模块。详细用法可参考相关示例。示例如：

\\2_SYSTEM_DESIN\EP18_LOGIC_PEN。右边是 93C46 和 24C01 串行存储器，下方是控制端口标注。此模块的原理图参考：“原理图\ SROM.pdf”。

3.6.2 SRAM/EPROM 模块 (图 3-28)



此模块含 SRAM/EPROM 扩展模块，左边是控制和数据端口原理图参考：“原理图\ ROM1.pdf”。

附录 1 MIF 文件生成器使用方法（文件路径：\KX_DN7\IMPTNT_FILE\mif 任意波编辑）

本讲义中给出的一些有关 LPM RAM 或 ROM 的实验都将用到 mif 格式初始化文件，这可以用不同方法获得，但比较方便的方法是使用 mif 文件生成器。这里介绍康芯公司为本书读者提供的免费的 mif 生成软件 Mif Maker 的使用方法(索取：www.kx-soc.com)。双击打开 Mif_Maker2010，如图 F1-1 所示。首先对所需要的 mif 文件对应的波形参数进行设置。如图 F1-2 所示，选择“查看”，并于此下拉菜单中选择“全局参数设置”。如选择波形参数：数据长度 256，输出数据位宽 8，数据表示格式 16 进制（有的情况下需要选择有符号类型，如实验中的 AM 信号发生器的设计），初始相位 120 度（如设计 SPWM 中要用到此相位设定），按“确定”后，将出现一波形编辑窗。然后再选择波形类型。选择“设定波形”，再选择“正弦波”，如图 F1-3 所示。



图 F1-1 打开“Mif_Maker2010”



图 F1-2 设定波形参数

这时，图 F1-3 将出现正弦波形。如果要编辑任意波形，可以选择“手绘波形”项，在下拉菜单中选择“线条”（图 F1-4），表示可以手工绘制线条。然后即可以在图形编辑窗中在原来的正弦波形上绘制任意波形（图 F1-4）。最后选择“文件”中的“保存”，将此编辑好的波形文件以 mif 格式保存（图 F1-5）。如取名为 WAVE1.mif。如果要了解编辑波形的频谱情况可以选择“查看”项的“频谱”。如图 F2-6 所示的锯齿波的归一化频谱显示于图 F1-7 上。

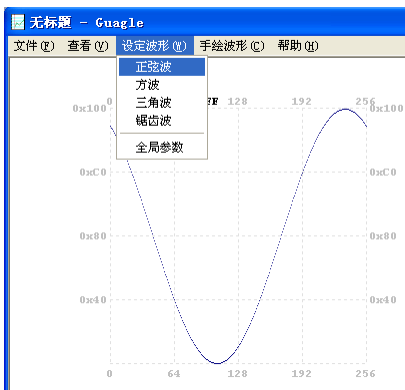


图 F1-3 选择波形类型

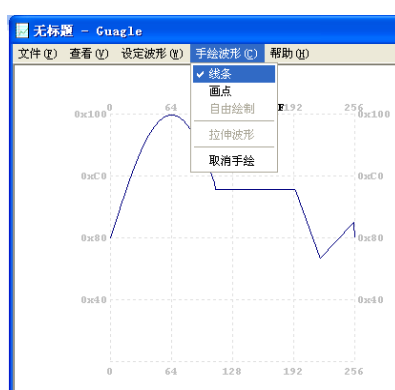


图 F1-4 手动编辑波形



图 F1-5 存储波形文件

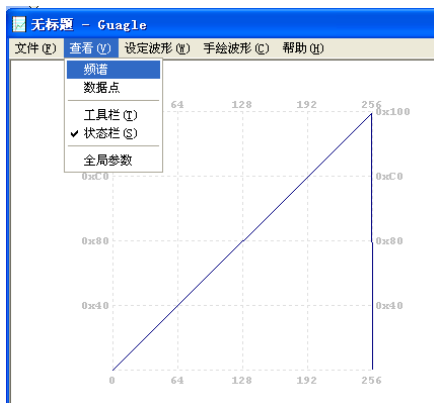


图 F2-6 选择频谱观察功能

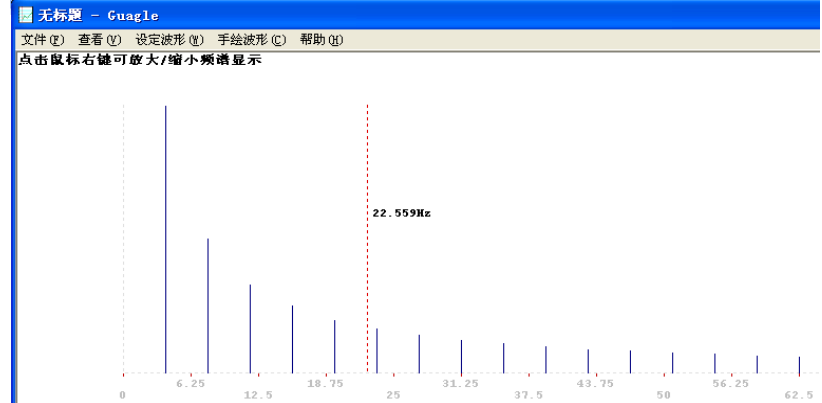


图 F2-7 锯齿波频谱

附录 2 STC89C 单片机编程下载方法 (编程软件:\KX_DN7\IMPTNT_FILE\stc89c51 编程下载.rar)

要将应用程序下载到 STC89C 单片机, 首先须安装好 STC_ISP 软件。安装完成后, 打开 STC_ISP v4.80 下载软件的界面如图 F2-1 所示。

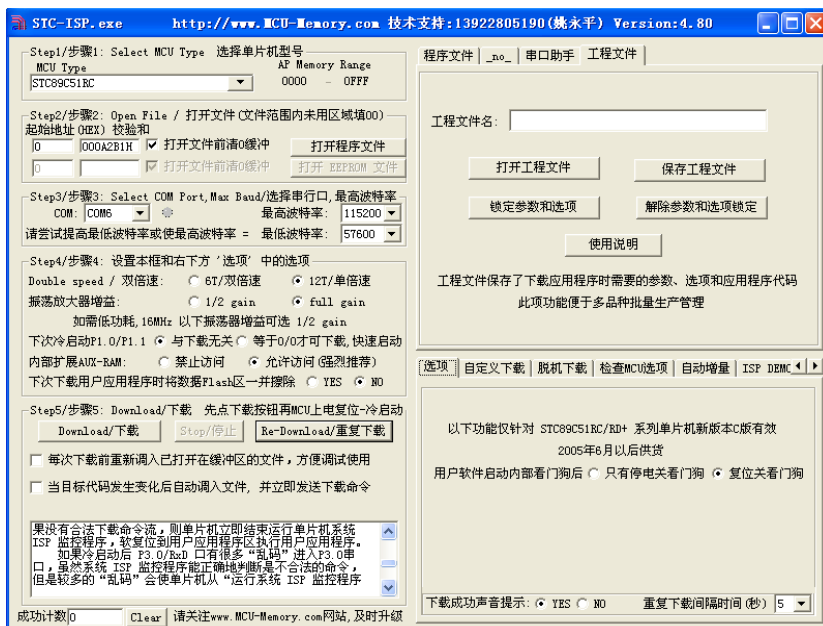


图 F2-1 STC 单片机下载界面

软件设置步骤如下:

步骤1: 选择单片机型号。在 **MCU Type** 栏目下选择所使用的单片机型号, 如 STC89C51, STC12C5410, STC12C5410AD 等, 如图 F2-2 所示。

步骤2: 打开烧录文件。先确认硬件连接正确, 然后点击“**打开程序文件**”并在对话框内找到所要下载的*.hex 文件或*.bin 文件, 如图 F2-3 所示。

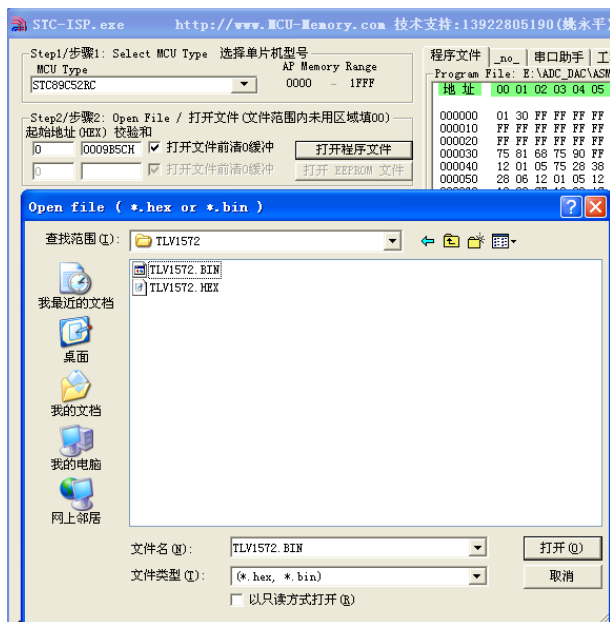


图 F2-2 选择 STC 单片机型号

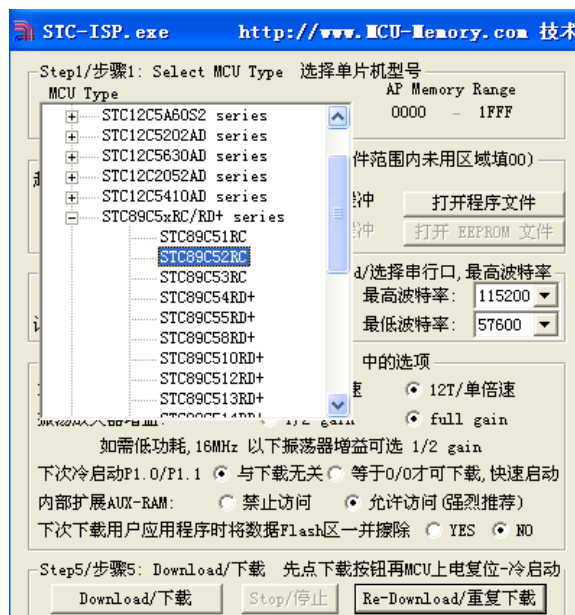


图 F2-3 选择需烧录的程序

步骤3: 选择电脑的串行口。根据下载数据线连接情况选择 **COM** 端口和下载波特率。如串行口 1--COM1, 串行口 2--COM2,...。有些新式笔记本电脑没有 RS-232 串行口, 可通过 USB-RS232 转接器下载。有些 USB-RS232 转接器与电脑连接后, 还需要安装相应的驱动程序。再根据安装后的 USB-RS232 转接器, 选择下载口, 如图 F2-4 所示。下载波特率的设置方法如图 F2-5 所示。

步骤4: **设置是否双倍速**, 双倍速选中 Double Speed 即可。STC89C51RC/RD+ 系列可以反复设置 双倍速/单倍速, 新的设置停电后重新冷启动后才能生效。

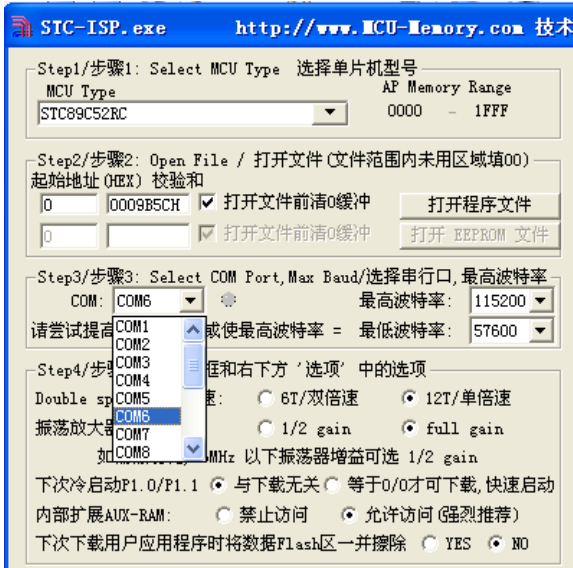


图 F2-4 选择 COM 下载口

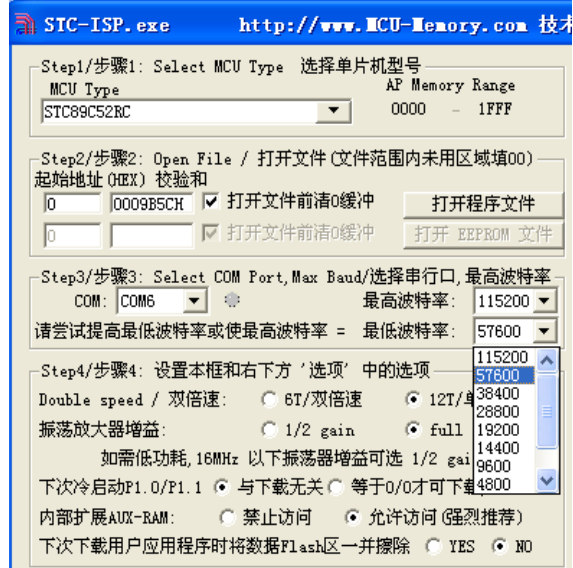


图 F2-5 选择下载波特率

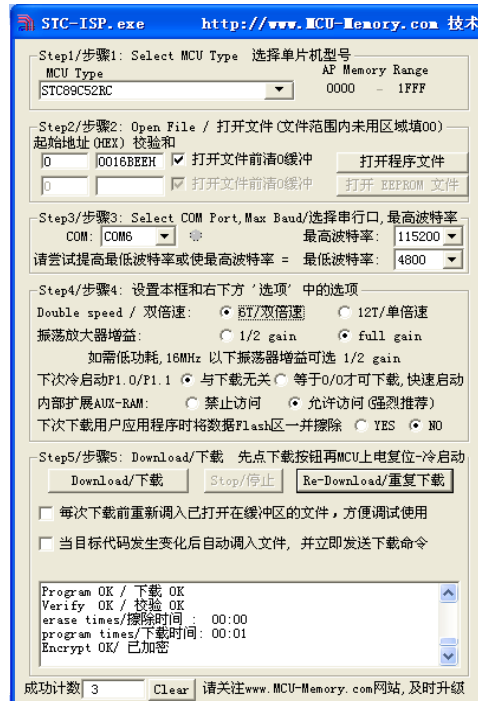
编程说明文件：\KX_DN7\重要文件\单片机编程说明.pdf

USB-RS232 驱动文件：:\VIVI_FILE\INF_USB_RS232_DRIV\98ME_20011_2kXP_20024

Chinese:正在尝试与 MCU/单片机 握手连接 ...
 Chinese:连接失败, 请尝试以下操作:
 1.在单片机停电状态下, 点击下载按钮, 再给单片机上电
 2.停止下载, 重新选择 RS-232 串口, 接好电缆
 3.可能需要先将 P1.0/P1.1 短接到地
 4.可能外部时钟未接
 5.因 PLCC、PQFP 转换座引线过长而引起时钟不振荡, 请调整参数
 6.可能要升级电脑端的 STC-ISP.exe 软件
 7.若仍然不成功, 可能 MCU/单片机内无 ISP 系统引导码, 或需退回升级, 或 MCU 已损坏
 8.若使用 USB 转 RS-232 串口线下载, 可能会遇到不兼容的问题, 可以让我们帮助购买兼容的 USB 转 RS-232 串口线

仍在连接中, 请给 MCU 上电...

图F2-6 在线编程提示信息

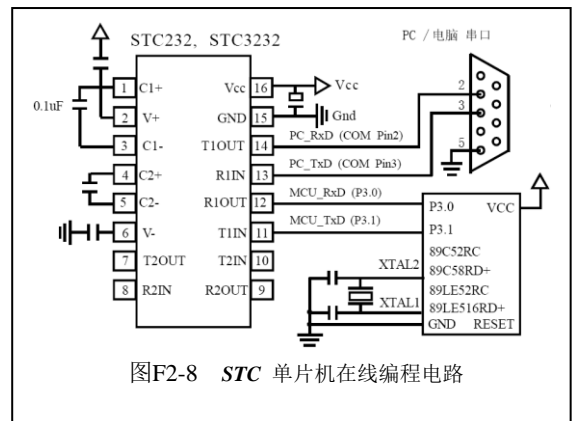


图F2-7 下载成功后的提示信息

步骤5：选择“Download/ 下载”按钮下载用户的程序进单片机内部，也可选择“Re-Download/ 重复下载”按钮。下载过程中，左下角的窗口会出现提示信息，如图F2-6所示。若选中“步骤5”中的两个条件项，就可以在每次用KEIL编译用户程序时，将HEX代码自动加载到STC-ISP。点击“Download/下载”，然后手动接通单片机的电源开关便可把可执行文件*.HEX写入到单片机内。程序写入完毕后，出现如图F2-7所示信息。目标板开始运行用户应用程序。

关于硬件连接：STC 单片机在线编程电路如图F2-8所示。

- (1). MCU/ 单片机 RXD(P3.0) --- RS-232 转换器 --- PC/ 电脑 TXD(COM Port Pin3)
- (2). MCU/ 单片机 TXD(P3.1) --- RS-232 转换器 --- PC/ 电脑 RXD(COM Port Pin2)



图F2-8 STC 单片机在线编程电路

附录3 模块原理图

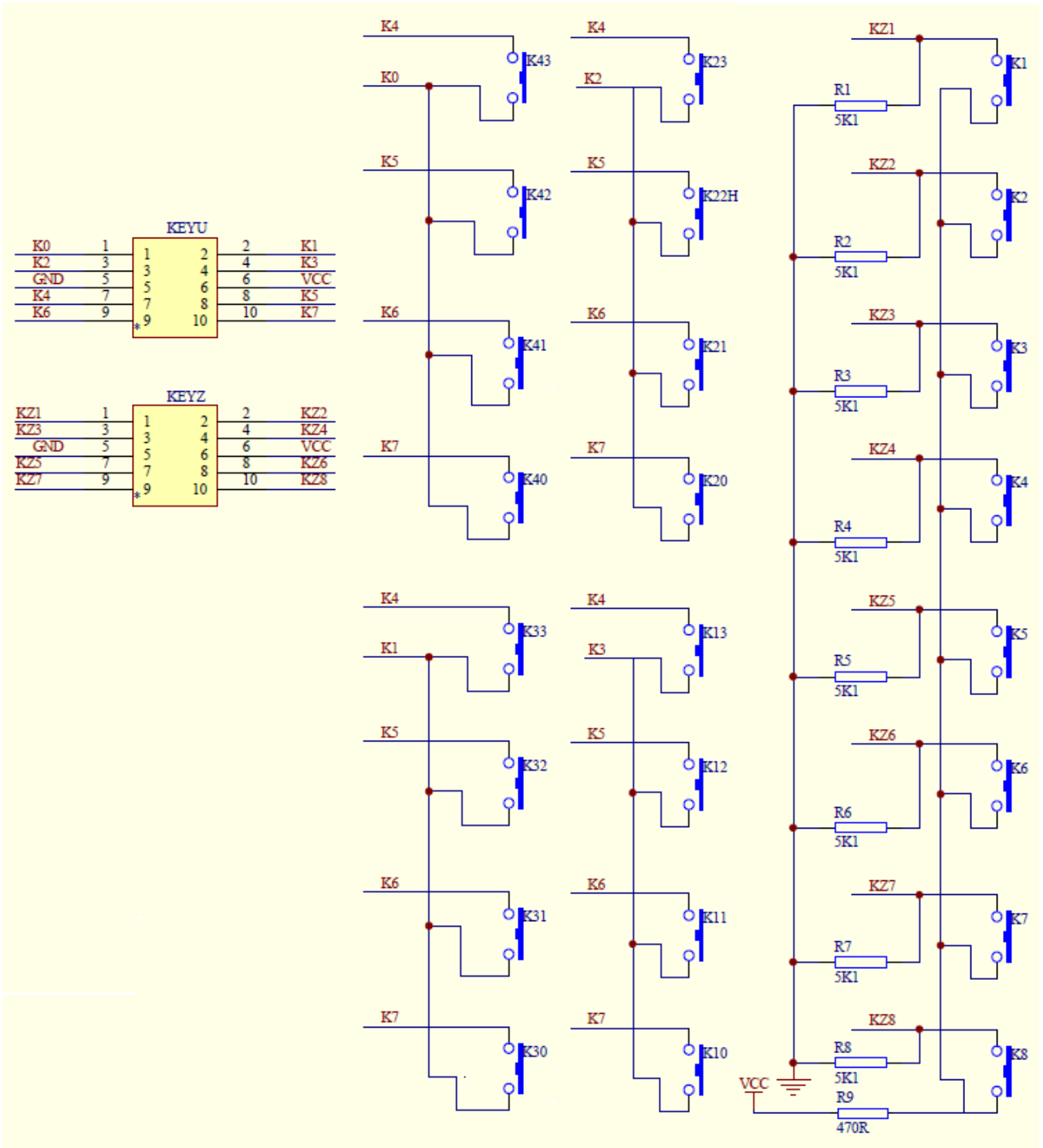


图3-1 4X4+8个单脉冲综合键盘模块原理图

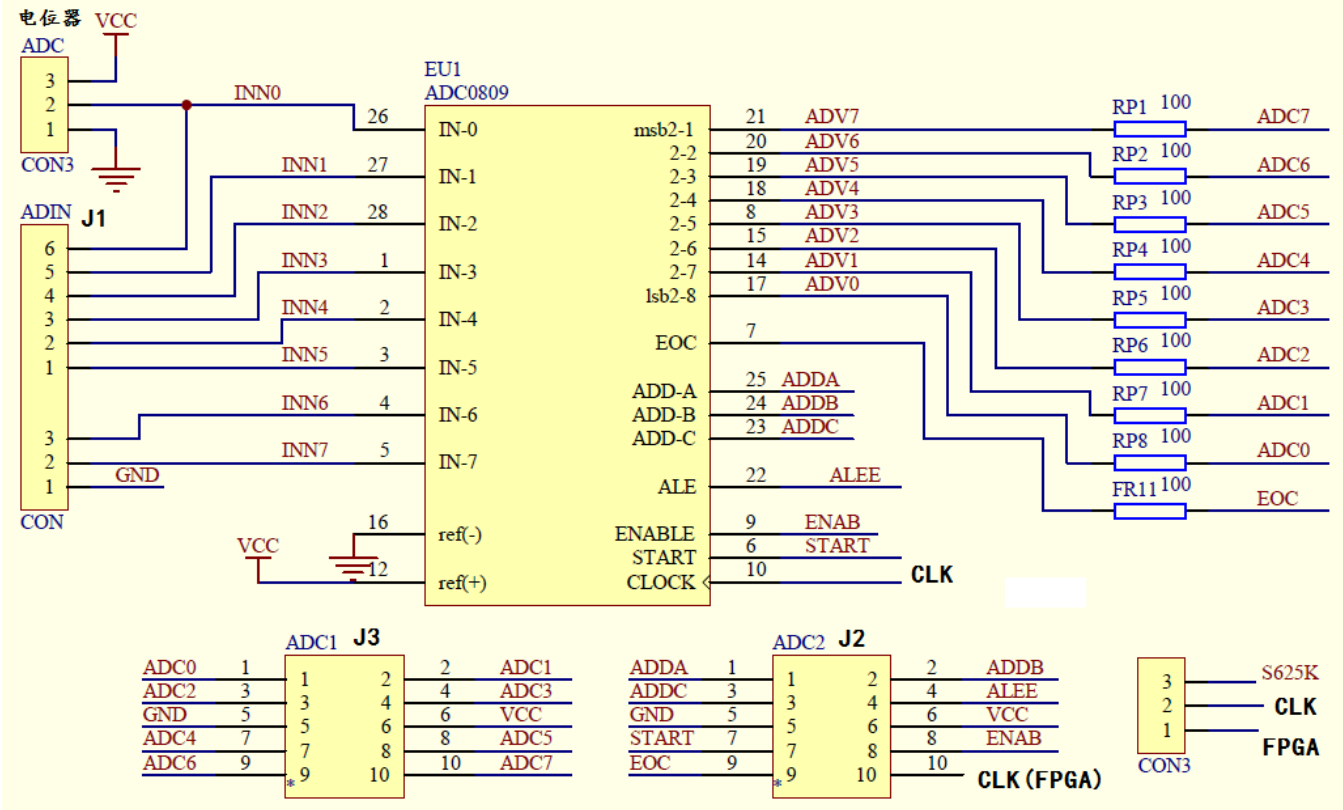


图3-2 ADC0809模块原理图

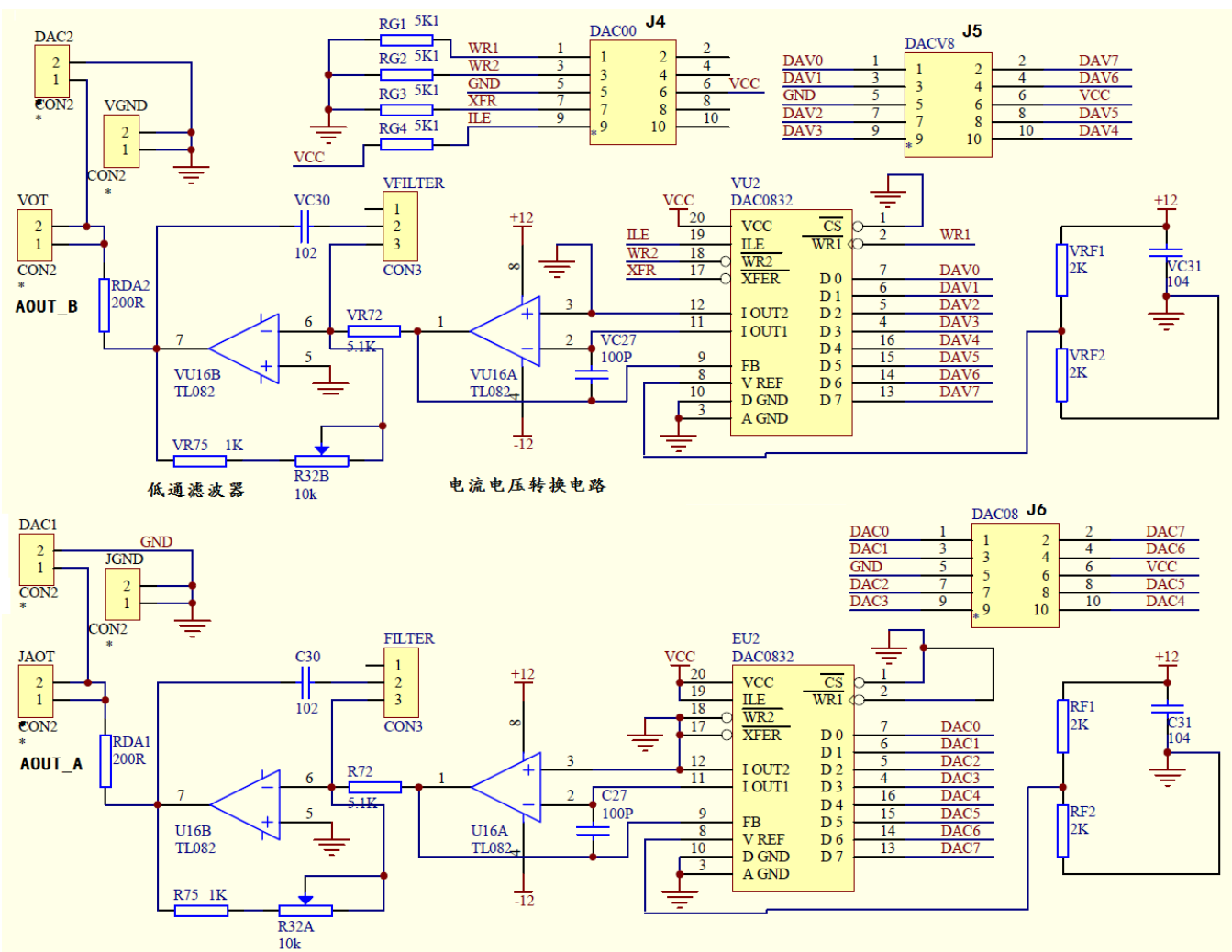


图3-3 DAC0823模块原理图